

RS

2

10-31-02

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

J1046 U.S. PTO
10/006238
12/10/01

In re application of: **Yasurou MATSUZAKI, et al.**

Serial No.: **Not Yet Assigned**

Filed: **December 10, 2001**

For: **SEMICONDUCTOR DEVICE WITH CIRCUITRY FOR EFFICIENT INFORMATION EXCHANGE**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
Washington, D.C. 20231

December 10, 2001

Sir:

The benefit of the filing dates of the following prior foreign applications are hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2001-067616, filed March 9, 2001

In support of this claim, the requisite certified copy of said original foreign applications is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,
ARMSTRONG, WESTERMAN, HATTORI
MCLELAND & NAUGHTON, LLP



William L. Brooks
Reg. No. 34, 129

Atty. Docket No.: 011644
Suite 1000, 1725 K Street, N.W.
Washington, D.C. 20006
Tel: (202) 659-2930
Fax: (202) 887-0357
WLB/vll

Best Available Copy

日 本 国 特 許 庁
JAPAN PATENT OFFICE

J1046 U.S. PTO
10/006238
12/10/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出 願 年 月 日
Date of Application:

2001年 3月 9日

出 願 番 号
Application Number:

特願2001-067616

出 願 人
Applicant(s):

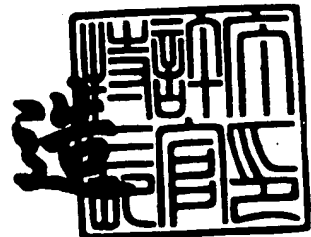
富士通株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 9月27日

特許庁長官
Commissioner,
Japan Patent Office

及 川 耕 造



【書類名】 特許願

【整理番号】 0041281

【提出日】 平成13年 3月 9日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 H01L 27/10

【発明の名称】 半導体装置

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 松崎 康郎

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 田口 眞男

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100070150

【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデンプレイスタワー32階

【弁理士】

【氏名又は名称】 伊東 忠彦

【電話番号】 03-5424-2511

【手数料の表示】

【予納台帳番号】 002989

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704678

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 第 1 の情報を保持するレジスタ、及び外部から第 1 の信号を受信して第 2 の情報を生成する情報生成回路を備え、前記第 1 の信号は前記第 1 の情報の反転を示す信号であり、前記情報生成回路は前記第 1 の情報及び前記第 1 の信号に基づいて前記第 2 の情報を生成する半導体装置。

【請求項 2】 第 1 の情報を保持するレジスタ、及び第 2 の情報を受信し第 1 の信号を外部へ出力する情報生成回路を備え、前記第 1 の信号は前記レジスタに保持された前記第 1 の情報と前記情報生成回路が受信した前記第 2 の情報の論理演算に基づく信号であって、第 1 の情報の反転を示す信号である半導体装置。

【請求項 3】 前記情報生成回路は、前記レジスタに保持された前記第 1 の情報を前記第 2 の情報に書き換える請求項 1 又は 2 記載の半導体装置。

【請求項 4】 前記情報生成回路は、前記第 1 の情報を受信して前記レジスタに格納し、次に前記第 1 の信号を受信して前記第 2 の情報を生成する請求項 1 記載の半導体装置。

【請求項 5】 前記情報生成回路は、前記第 1 の情報を受信して前記レジスタに格納し、次に前記第 2 の情報を受信して前記第 1 の信号を生成する請求項 1 又は 2 記載の半導体装置。

【請求項 6】 前記レジスタは、リセット信号でリセットされる請求項 1 又は 2 記載の半導体装置。

【請求項 7】 前記半導体装置はメモリアレイを含む半導体装置であり、前記レジスタは外部から受信したリフレッシュ指示に基づきリセットされる請求項 1 又は 2 記載の半導体装置。

【請求項 8】 前記第 1 の信号はパルス信号である請求項 1 又は 2 記載の半導体装置。

【請求項 9】 前記情報生成回路は前記第 1 の信号をラッチするデータ入力部を有し、

前記半導体装置は外部からのチップ選択信号を受信する回路を有し、

前記データ入力部は前記チップ選択信号に基づき前記第 1 の信号をラッチする請求項 1 記載の半導体装置。

【請求項 1 0】 前記第 1 の信号はパルス信号であり、前記データ入力部は該パルス信号のエッジを検出して前記第 1 の信号をラッチする請求項 9 記載の半導体装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は半導体装置に関し、より詳細には半導体装置のインタフェースに関する。

【0 0 0 2】

【従来の技術】

通常、半導体装置 A から半導体装置 B にデータを送る場合において、例えば次ぎの 1 6 ビット幅のデータ D 1、D 2 を順番に送ることを考える。

D 1 : 1 1 0 0 1 1 0 0 1 1 0 0 1 1 0 0

D 2 : 1 1 0 0 1 1 0 0 1 1 0 0 1 1 0 1

この例では、違っているのは最後の一桁であり、残りは同じデータである。連続する動画画像データなどは一般的に、前後のデータを比較するとほとんど同じで一部が違う場合が多い。よって、このままでは非常にムダが多いデータであると言える。これを解決するためにデータを圧縮して、記録媒体への書き込みや伝送を行う。

【0 0 0 3】

ところが、実際には圧縮することなく生のデータをそのまま半導体装置間で転送することが必要な場合がある。例えば、画像データを加工する場合は未圧縮のデータや解凍後のデータを半導体装置間でやり取りする必要がある。

【0 0 0 4】

【発明が解決しようとする課題】

しかしながら、生のデータをそのまま転送するのでは伝送する情報量に多くの無駄な情報が含まれることになり、また無駄な電力を消費してしまう。

【 0 0 0 5 】

従って、本発明は上記従来技術の問題点を解決し、効率的にデータを転送でき無駄な電力消費が少ない半導体装置を提供することを目的とする。

【 0 0 0 6 】

【課題を解決するための手段】

本発明は、第 1 の情報を保持するレジスタ、及び外部から第 1 の信号を受信して第 2 の情報を生成する情報生成回路を備え、前記第 1 の信号は前記第 1 の情報の反転を示す信号であり、前記情報生成回路は前記第 1 の情報及び前記第 1 の信号に基づいて前記第 2 の情報を生成する半導体装置を含む。

【 0 0 0 7 】

第 1 の信号は第 1 の情報の反転を示す信号である。従って、第 1 の情報と第 1 の信号とから反転前の情報、つまり第 2 の情報が生成できる。反転を示す第 1 の信号を受信することで、元の（反転前）の第 2 の情報が生成できる。よって、第 2 の情報を何も加工しない場合に比べて情報量の無駄がなくなり、電力消費を軽減することができる。

【 0 0 0 8 】

また、本発明は、第 1 の情報を保持するレジスタ、及び第 2 の情報を受信し第 1 の信号を外部へ出力する情報生成回路を備え、前記第 1 の信号は前記レジスタに保持された前記第 1 の情報と前記情報生成回路が受信した前記第 2 の情報の論理演算に基づく信号であって、第 1 の情報の反転を示す信号である半導体装置を含む。同様に、情報量の無駄がなくなり、電力消費を軽減することができる。

【 0 0 0 9 】

第 1 の情報は、請求項 3 に記載のように、前記レジスタに保持された前記第 1 の情報を前記第 2 の情報に書き換えることで、半導体装置が最後に処理したデータであっても良い。また、第 1 の情報は、請求項 4 に記載のように、外部から受信したもの（後述する本発明の第 2 の原理で用いる代表データ）であっても良い。

【 0 0 1 0 】

なお、上記第 1 や第 2 の情報とはデータやアドレスなどである。

【0011】

【発明の実施の形態】

まず、図1を参照して本発明の第1の原理を説明する。

【0012】

図1は、2つの半導体装置10と13がデータバス16を介して接続されたシステムを示す。図1の例では、半導体装置10はコントローラで、半導体装置13はコントローラ10に制御される半導体記憶装置（1つのメモリチップ。以下、単にメモリと言う）である。コントローラ10は、レジスタ12を具備するインタフェイス部11を有する。同様に、メモリ13もレジスタ14を具備するインタフェイス部14を具備する。

【0013】

本発明の第1の原理を前述したデータ転送の例で説明する。D1: 1100110011001100とD2: 1100110011001101をコントローラ10からメモリ13へ転送する場合、従来技術ではD1とD2をそのまま順番に送っていた。これに対し、本発明の第1の原理では最初にD1を送り、次はデータD2のうちD1のビットと異なる（反転している）ビットのみを送信する。つまり、データD2を転送する代わりにD2' 00000000000000001を転送する。これを受信したメモリ13は直前のデータD1と転送されたデータD2' からデータD2を再生する。メモリ13からコントローラ10へデータを転送する場合も同様である。

【0014】

つまり、コントローラ10とメモリ13はそれぞれ最後にやりとりしたデータをレジスタ12と15を保持しておき、次に送るデータと保持しておいたデータとの相違ビットのみを相手に転送し、受信側では受取ったデータと保持しておいたデータとから今回転送されたデータを再生する。反転したビットはパルスで送信する。以下、このようなパルスをデータ反転パルス信号と言う場合がある。

【0015】

この処理を図1の下側部分に示すシーケンスを参照して詳しく説明する。このシーケンスは、コントローラ10がメモリ13にデータを書き込む場合を示して

いる。

【0016】

ステップ①：まず、コントローラ10がリフレッシュを指示するリフレッシュコマンドを発行する。このリフレッシュコマンドでコントローラ10のレジスタ12とメモリ13のレジスタ15が0000にリセットされる。リセット値は0000に限定されるものではなく、レジスタ12と15が同じ値にリセットされるのであれば任意の値で良い。

【0017】

ステップ②：コントローラ10がメモリ13にデータ1011を書き込む段階である。コントローラ10はデータ1011とレジスタ12のデータ0000との排他的論理和（Exclusive-OR：EX-OR）をとり、その結果をデータバス16を介してメモリ13に送信する。メモリ13はデータ1011を受信し、“1”の立っている桁についてレジスタ15の内容を反転させ、データ1011を再生する。今の例では、レジスタ12、15には0000が記憶されているので、送信されたデータを再生されたデータは1011で同じである。そして、コントローラ10とメモリ13はそれぞれレジスタ12と15の内容を1011に書き換える。なお、再生されたデータ1011はメモリ13内部のメモリコアに転送され、格納される。

【0018】

ステップ③：コントローラ10がメモリ13にデータ1010を書き込む段階である。コントローラ10はデータ1010とレジスタ12のデータ1011との排他的論理和をとり、その結果0001をメモリ13に転送する。メモリ13はデータ0001を受信し、“1”の立っている桁についてレジスタ15の内容を反転させ、データ1010を再生する。そして、コントローラ10とメモリ13はそれぞれレジスタ12と15の内容を1010に書き換える。

【0019】

以下ステップ④、⑤と同様な処理を繰り返す。

【0020】

このように、コントローラ10と13の両方で最後にやり取りしたデータをレ

ジスタ12と15に保持し、転送しようとするデータと保持したデータとの相違する（反転している）ビットのみを送信し、受信側ではこのデータと保持していたデータとから送信されたデータを再生することとため、データ“1”を送る回数が大幅に減ることになり、送信側及び受信側での消費電力を削減することができる。例えば、ステップ③ではデータ1010を送信する代わりにデータ0001を送信しているので1ビット分の電力消費が軽減できる。特に、動画像データのように前後のデータはほとんど同じで一部のみが違う場合の効果は絶大である。

【0021】

図1は、コントローラ10がメモリ13へデータを書き込む場合のシーケンスを示しているが、メモリ13からデータを読み出してコントローラ10に送信する場合も同様である。

【0022】

以上、要約すると、コントローラ10及びメモリ13は、第1の情報（リフレッシュ後の最初のデータや最後にやり取りしたデータ）を保持するレジスタ（12、15）、及び外部から第1の信号（排他的論理和の演算結果でバス16上を伝送する信号）を受信して第2の情報を生成する情報生成回路（コントローラ10やメモリ13の内部回路であって、例えばインタフェイス部10、13に設けられている回路）を備え、前記第1の信号は前記第1の情報の反転を示す信号（排他的論理和演算の出力）であり、前記情報生成回路は前記第1の情報及び前記第1の信号に基づいて（例えば、排他的論理和演算を行うことにより）前記第2の情報を生成する半導体装置と言える。

【0023】

また、発明は情報処理方法を含むものであり、第1の情報（リフレッシュ後の最初のデータや最後にやり取りしたデータ）をレジスタ（12、15）に保持するステップと、外部から受信した第1の信号（排他的論理和の演算結果でバス16上を伝送する信号）と前記第1の情報とに基づいて第2の情報を生成して所定の回路に送出するステップとを有し、前記第1の信号は前記第1の情報の反転を示す信号である情報処理方法である。

【0024】

更に、コントローラ10及びメモリ13は、第1の情報（リフレッシュ後の最初のデータや最後にやり取りしたデータ）を保持するレジスタ（12、15）、及び第2の情報（例えば、コントローラ10の書き込みデータ）を受信し第1の信号を外部（図1の例ではメモリ13）へ出力する情報生成回路（コントローラ10やメモリ13の内部回路であって、例えばインタフェース部10、13に設けられている回路）を備え、前記第1の信号は前記レジスタに保持された前記第1の情報と前記情報生成回路が受信した前記第2の情報の論理演算（例えば、排他的論理和演算）に基づく信号である半導体装置である。

【0025】

更に、発明は情報処理方法を含むものであり、第1の情報（リフレッシュ後の最初のデータや最後にやり取りしたデータ）をレジスタ（12、15）に保持するステップと、受信した第2の情報と前記第1の情報の論理演算（例えば、排他的論理和演算）して第1の信号を生成して外部へ送信するステップとを有し、前記第1の信号は第1の情報の反転を示す信号である情報処理方法である。

【0026】

なお、上記の説明ではレジスタ12と15をリセットするためにリフレッシュコマンドを用いているが、メモリ13がDRAMの場合には定期的リフレッシュが必要であるため、コントローラ10はDRAMに定期的リフレッシュコマンドを発行する。よって、これを利用して定期的にレジスタ12、15をリセットすれば、万が一レジスタ12とレジスタ15の内容が相違してしまっても、リフレッシュの都度リセットされるのでエラーの発生を最小限に抑えることができる。

【0027】

レジスタ12と15はリフレッシュコマンド以外の信号でも良い。例えば、コントローラ10やメモリ13等の半導体装置に電源を印加した時に内部で発生するパワーオンリセット信号を用いても良いし、スタンバイを制御する信号（たとえば、シンクロナスDRAMのクロックイネーブル信号CKE）などを用いてリセットしても良い。

【0028】

また、後述するように、上記本発明の第1の原理はデータ転送のみならず、アドレス信号の送信にも適用することができる。

【0029】

以下、本発明の実施の形態や実施例を説明する。以下の説明で「読み出しデータ」と「書き込みデータ」という語句を用いるが、これはコントローラとメモリとの間のデータ転送を例にしているためである。メモリにおいてもコントローラにおいても、これらの語句は次の意味で使用してある。

【0030】

コントローラからメモリに送信するデータ：書き込みデータ

メモリからコントローラに送信するデータ：読み出しデータ

従って、例えば書き込みデータはメモリにとっては受信するデータであり、コントローラにとっては送信するデータである。

(本発明の第1の実施の形態)

図2は、本発明の一実施の形態を示すブロック図である。図示するシステムはコントローラ10が4つのメモリ13a、13b、13c、13dを制御する構成である。コントローラ10と4つのメモリ13a～13dとの間で転送されるアドレス、書き込みデータ及び読み出しデータに対し、前述した本発明の第1の原理が適用されている。

【0031】

コントローラ10と4つのメモリ13a～13dは、データバス16D、アドレスバス16A、コマンドバス16C、クロック線21及びチップ選択信号線22を介して相互に接続されている。データバス16Dは抵抗24を介して所定電圧VRに終端され、同様にクロック信号線21は抵抗23を介して所定電圧VRに終端されている。所定電圧VRは論理“0”（ハイレベルH）に相当する。アドレスバス16A及びデータバス16Dは、データ“1”を伝送するときローレベルデータ反転パルス信号を伝送する。なお、リフレッシュ直後は生の送信データがデータバス16Dに出力される。

【0032】

コントローラ10はメモリ13a~13dにそれぞれ対応するレジスタ17a~17dとインタフェイス部18とを有する。各レジスタ17a~17dは図1のレジスタ12に相当する。メモリ13a~13dはそれぞれメモリコア20a~20dとインタフェイス部19a~19dとを具備する。各インタフェイス部19a~19d内部のレジスタは、図1のレジスタ15に相当する。コントローラ10のインタフェイス部18とメモリ13a~13dのインタフェイス部19a~19dはそれぞれ、データバス16D、アドレスバス16A、コマンドバス16C、クロック線21及びチップ選択信号線22に接続されている。

【0033】

コントローラ10のレジスタ17a~17dはそれぞれ、アドレス用レジスタRegADD-C、書き込みデータ用レジスタRegDW-C、及び読み出しデータ用レジスタRegDR-Cを有する。アドレス用レジスタRegADD-Cは、リセットアドレス値又は最後にやり取りしたアドレス値を保持する。書き込みデータ用レジスタRegDW-Cは、リセット書き込みデータ値又は最後にやり取りした書き込みデータ値を保持する。読み出しデータ用レジスタRegDR-Cは、リセット読み出しデータ値又は最後にやり取りした読み出しデータ値を保持する。インタフェイス18は複数の半導体装置（図2ではメモリ13a~13）と選択的に接続可能なインタフェイスであって、図1を参照して説明したレジスタ値と今回送信するデータとの排他的論理和をとって送信すべきデータやアドレスを計算して対応するバスに出力する構成、及びレジスタ値と対応するバスから受信したデータとの排他的論理和をとって受信したデータを再生する構成を含むものである。なお、これらの構成の詳細は後述する。

【0034】

メモリ13a~13dのインタフェイス部19a~19dはそれぞれ、アドレス用レジスタRegADD、書き込みデータ用レジスタRegDW、及び読み出しデータ用レジスタRegDRを有する。インタフェイス部19a~19dのアドレス用レジスタRegADDはそれぞれコントローラ10のレジスタ17a~17dのアドレス用レジスタRegADD-Cに対応し、リセットアドレス値又は最後にやり取りしたアドレス値を保持する。インタフェイス部19a~19d

の書き込みデータ用レジスタ $RegDW$ はそれぞれコントローラ 10 のレジスタ 17a~17d の書き込みデータ用レジスタ $RegDW-C$ に対応し、リセット書き込みデータ値又は最後にやり取りした書き込みデータ値を保持する。インタフェイス部 19a~19d の読み出しデータ用レジスタ $RegDR$ はそれぞれコントローラ 10 のレジスタ 17a~17d の読み出しデータ用レジスタ $RegDR-C$ に対応し、リセット読み出しデータ値又は最後にやり取りした読み出しデータ値を保持する。インタフェイス 19a~19d は、図 1 を参照して説明したレジスタ値と今回送信するデータとの排他的論理和をとって送信すべきデータやアドレスを計算して対応するバスに出力する構成、及びレジスタ値と対応するバスから受信したデータとの排他的論理和をとって受信したデータを再生する構成を含むものである。なお、これらの構成の詳細は後述する。メモリコア 20a~20d は多数のメモリセルがマトリクス状に配列されたアレイを含む。

【0035】

次に、図 2 に示す構成の動作を説明する。

【0036】

最初にコントローラ 10 はメモリ 13a~13d にリフレッシュコマンドを発行して、コントローラ 10 のレジスタ 17a~17d のレジスタ $RegADD-C$ 、 $RegDW-C$ 、 $RegDR-C$ 及びメモリ 13a~13d のインタフェイス部 19a~19d 内のレジスタ $RegADD$ 、 $RegDW$ 、 $RegDR$ をリセットする（図 1 のステップ①に相当する処理）。例えば、各レジスタは各ビットが“0”にリセットされる。

【0037】

次に、コントローラ 10 は選択すべきメモリに対応するチップ選択信号 CSa ~ CSd のいずれかを ON し、コマンドを発行する。例えば、チップ選択信号 CSa が ON すると、コントローラ 10 のレジスタ 17a が ON し、また信号線 22 を介してメモリ 13a が選択される。コマンドが書き込みコマンドの場合、コントローラ 10 のインタフェイス部 18 は送信すべきアドレス及びデータとレジスタ $RegADD-C$ 、 $RegDW-C$ 、 $RegDR-C$ 内のデータとの排他的論理和を取り、その演算結果をこれらのレジスタに書き込むとともに、それぞれ

アドレスバス16A及びデータバス16Dに送信する（図1のステップ②に相当する処理）。選択されているメモリ13aはアドレスバス16A及びデータバス16Dからそれぞれ排他的論理和出力を受取り、受取ったデータとレジスタRegADD、RegDW、RegDRのデータとの排他的論理和を取り、その演算結果をこれらのレジスタに書き込むとともに、メモリコア20aに出力する（図1のステップ②に相当する処理）。以下、同様な処理が繰り返される。

【0038】

他方、コマンドが読み出しコマンドの場合、メモリ13aのインタフェイス部19aは送信すべきアドレス及びデータとレジスタRegADD、RegDW、RegDR内のデータとの排他的論理和を取り、その演算結果をそれぞれこれらのレジスタに書き込むとともに、アドレスバス16A及びデータバス16Dに送信する。コントローラ10はアドレスバス16A及びデータバス16Dからそれぞれ排他的論理和出力を受取り、受取ったデータとレジスタRegADD-C、RegDW-C、RegDR-Cのデータとの排他的論理和を取り、その演算結果をこれらのレジスタに書き込むとともに、内部回路に出力する。

【0039】

このように、直前のデータとは異なるビット位置にのみ“1”が立つ排他的論理和出力をアドレスバス16A及びデータバス16Dに出力する。よって、論理“1”によりアドレスバス16Aやデータバス16Dがローレベルのパルスを送る回数が減り、消費電力を削減することができる。

（メモリ側データ入力部の第1の実施例）

次に、各メモリ13a-13dのインタフェイス部19a-19dの内部に設けられたデータ入力部の第1の実施例を説明する。第1の実施例は、外部からのデータをクロックに同期して取り込むタイプのデータ入力部である。

【0040】

各インタフェイス部19a-19dは、データバス16Dからデータ（書き込みデータ）を入力するデータ入力部を具備する。このデータ入力部の第1の実施例を図3に示す。データ入力部は、クロック発生部25、コマンド入力回路/コマンドでコーダ26、ORゲート27及びn個（nは任意の整数）のデータ入力

回路 $28_1 - 28_n$ を有する。クロック発生部 25 は、クロック線 21 からクロック信号を受取り、内部クロック CLK1 を生成してコマンド入力回路／コマンドデコーダ 26 及びデータ入力回路 $28_1 - 28_n$ に出力する。コマンド入力回路／コマンドデコーダ 26 は、対応するチップ選択信号／CS (CSa - CSd のいずれか) を受けて ON (イネーブル状態) し、コマンドバス 16C から供給されたコマンドを取り込み、これをデコードする。デコードした結果に応じて、3 つの制御線 33a - 33c の何れかを駆動する。コマンド入力回路／コマンドデコーダ 26 は、コマンドが読み出しコマンドの場合には制御線 33a を駆動して内部読み出しコマンドを出力し、書き込みコマンドの場合には制御線 33b を駆動して内部書き込みコマンドを出力し、リフレッシュコマンドの場合には制御線 33c を駆動して内部リフレッシュコマンドを出力する。

【0041】

データ入力回路 $28_1 - 28_n$ の各々は、比較器 29、同期型ラッチ 30、パルス発生部 31 及びレジスタ RegDW を有する。データ入力回路 $28_1 - 28_n$ は、前述した排他的論理和演算を行う。レジスタ RegDW はフリップフロップ (F/F) 32 を有する。データ入力回路 $28_1 - 28_n$ はそれぞれ、データバス 16D のそれぞれのバス線に接続されている。例えばデータバス 16D が 16 ビット幅の場合には、16 個のデータ入力回路 $28_1 - 28_{16}$ が設けられている。比較器 29 は、対応する 1 ビットの入力データ (ここでは N とする) としきい値 Vref とを比較し、入力データ IN の論理値を判定する。同期型ラッチ 30 は、内部クロック CLK1 を受けて比較器 29 の出力をラッチする。パルス発生部 31 は、制御線 33b が ON の時、つまり書き込みコマンドを受信した時に同期型ラッチ 30 の出力信号 N1 を受けて所定のパルス N2 を発生する。パルス N2 はフリップフロップ 32 のクロック端子に与えられる。フリップフロップ 32 の /Q 出力は D 端子に接続され、Q 出力がデータ入力回路 28_1 の出力信号となる。フリップフロップ 32 は、OR ゲート 27 の出力でリセットされる。OR ゲート 27 は、コマンド入力回路／コマンドデコーダ 26 が出力するリセット信号 (チップ選択信号／CS が OFF した時に生成される)、又はリフレッシュコマンドを受信した時 (制御線 33c が ON した時) にリセットされる。リセッ

トされると、Q出力は“0”となる。

【0042】

図4は、図3に示す回路の動作を示すタイミング図である。図4は、図3のデータ入力回路28₁に書き込みデータINが供給される場合の動作である。まず、クロックCLKに同期してコマンドが送られてくる。図4の例では最初にリフレッシュコマンドが供給され、フリップフロップ32がリセットされる。続いて、書き込みデータINと書き込みコマンドが供給される（図4の①の部分）。書き込みデータINは比較器29を通り、同期型ラッチ30にラッチされる。同期型ラッチ30はクロックCLK（実際にはこれから生成される内部クロックCLK1）の立下りに同期して、データINをラッチする。ラッチした出力はN1となり、パルス発生部31に送られる。図4のタイミング図ではN1の図示を省略してある。

【0043】

コマンド入力回路／コマンドデコーダ26はこの書き込みコマンドをデコードして制御線33bを駆動する。これにより、パルス発生部31はイネーブル状態となり、図4の①で示すようにデータIN1に応答してパルスN2を発生する。換言すれば、書き込みデータ“1”がクロックに同期してラッチされ所定のパルスが1つ生成されるのである。パルスN2はフリップフロップ32の状態を反転させ、Q出力がローレベルからハイレベルに変化する。つまり、リフレッシュ後最初に送信されたデータ“1”がOUTとして図示しない内部回路（例えば図2に示すメモリコア20a）に出力されるとともに、フリップフロップ32に記憶される。

【0044】

次に、②のタイミングでは書き込みコマンドと“0”（ハイレベルのパルスで伝送される）のデータINが送信されて来る。データINが“0”と言うことは、送信側の排他的論理和演算結果が“0”、つまり今回の書き込みデータは前回の書き込みデータと同じであることを意味している。同期型ラッチ30はハイレベルをラッチしてN1をパルス発生部31に出力する。パルス発生部31はハイレベルの信号N1に应答せず、パルスN2を発生しない。よって、フリップフロ

ップ32の状態は反転せず、その出力OUTはハイレベルのまま変わらない。

【0045】

次に、③のタイミングで書き込みコマンドと“1”（ローレベルのパルスで伝送される）のデータが送信されて来る。つまり、③で送信されるデータは②で送信されたデータの反転データである。この場合は、①のタイミングと同様の動作が行われ、フリップフロップ32はパルスN2を受け、状態が反転する。よって、出力OUTはハイレベルからローレベルに立ち下がる。

【0046】

以下、④、⑤のタイミングで同様の動作が行われる。①～⑤で送信されたデータは10110である。つまり、元の送信データは11011である。データ入力回路28₁の出力OUTは11011となっており、元の送信データ（書き込みデータ）が正しく再生されている。元のデータ11011をそのまま送信するのではなく排他的論理和出力10110を送信することで、1ビット分の電力消費を軽減できている。

【0047】

各タイミング①～⑤では、nビットの平行データがデータバス16Dを伝送されており、上述したデータ入力回路28₁以外のデータ入力回路28₂～28_nも上述したデータ入力回路28₁と同様に動作する。

（メモリ側アドレス入力部の実施例）

図5は、各メモリ13a～13dのインタフェース部19a～19dの内部に設けられたアドレス入力部の実施例を説明する。

【0048】

各インタフェース部19a～19dは、アドレスバス16Aからアドレスを入力するアドレス入力部を具備する。アドレス入力部は図3に示すデータ入力部の第1の実施例とほぼ同一構成である。すなわち、アドレス入力部はデータ入力部と同様に、クロック発生部35、コマンド入力回路／コマンドデコーダ36、ORゲート37及びm個（mは任意の整数でアドレスを構成するビット数に相当する）のアドレス入力回路38₁～38_mを有する。アドレス入力回路38₁～38_nの各々は、アドレスNを受け取る比較器39、同期型ラッチ40、パルス発

生部 41 及びレジスタ $RegADD$ を有する。レジスタ $RegADD$ はフリップフロップ 42 を有する。

【0049】

アドレス入力部とデータ入力部との違いは、パルス発生部 41 は読み出しコマンドを受けて ON する制御線 43a と、書き込みコマンドを受けて ON する制御線 43b の両方で制御される点である。これは、アドレス入力回路 $38_1 - 38_n$ を読み出しコマンドと書き込みコマンドの両方で動作させるためである。

【0050】

図 5 によればアドレス入力部の動作は図 4 に示すタイミング図に示す動作と同様なので、ここでの説明は省略する。

(メモリ側データ入力部の第 2 の実施例)

次に、各メモリ $13a - 13d$ のインタフェース部 $19a - 19d$ の内部に設けられたデータ入力部の第 2 の実施例を説明する。

【0051】

図 6 は、本発明の第 2 の実施例によるデータ入力部の構成を示すブロック図である。図 6 に示す構成要素のうち、図 3 に示す構成要素と同一のものには同一の参照番号を付してある。第 2 の実施例は、データ IN のローエッジ（ハイからローに立ち下がるエッジ）を検出するタイプのデータ入力部である。

【0052】

図 3 に示すデータ入力回路 $28_1 - 28_n$ に代えてデータ入力回路 $128_1 - 128_n$ が用いられている。ただし、図 6 ではデータ入力回路 128_1 のみを示す。また、内部クロック CLK1 を分周率 2 で分周して相補関係にある内部クロック CLK2、 $\neg CLK2$ を生成する 1/2 分周器 44 が設けられている。

【0053】

データ入力回路 128_1 は比較器 29、インバータ 46、入力ラッチ部 45、パルス発生部 31、及びフリップフロップ 32 を有する書き込みレジスタ $RegDW$ とを有する。入力ラッチ部 45 はデータ IN のロー（L）エッジを検出するもので、交互に動作する 2 系統の検出部を持つ。2 系統の検出部の一方（以下、第 1 のローエッジ検出部という）は内部クロック CLK2 に関連する回路で、ゲ

ート47、比較器48、ラッチ49、遅延回路50を有する。他方の検出部（以下、第2のローエッジ検出部という）は内部クロック／CLK2に関連する回路で、ゲート51、比較器52、ラッチ53及び遅延回路54を有する。なお、どちらの系統に属するかを分かり易くするために、各部の名称の後に1又は2の番号を付してある。また、入力ラッチ部45は、ORゲート55、遅延回路56及び同期型ラッチ30を具備する。

【0054】

図7は、図6に示すデータ入力部の動作を示すタイミング図である。図7に示すクロックCLKとデータINの関係に示すように、クロックCLKのタイミングt1とt2の間でデータINのL（ロー）エッジが発生したパルス①は書き込みコマンドWrite1で取り込まれ、同様にパルス②は書き込みコマンドWrite2で取り込まれる。パルス③はクロックCLKのタイミングt4をまたいで発生しているが、パルス③のLエッジはタイミングt3とt4の間で発生しているので、書き込みコマンドWrite3で取り込まれる。クロックCLKのタイミングt4とt5の間ではパルス③の後半がはみ出しているが、この部分は無視され、パルス④が書き込みコマンドWrite4で取り込まれる。クロックCLKのタイミングt5とt6の間ではデータINにLエッジが発生していないので、書き込みコマンドWrite5はパルスを取り込まない。また、図7において、書き込みコマンドWrite2が入力されなかったらパルス②は無視される。

【0055】

前述した入力ラッチ部45の第1のローエッジ検出部は内部クロックCLK2がロー（L）の期間に発生するデータINのLエッジを検出し、第2のローエッジ検出部は内部クロック／CLK2がローの期間に発生するデータINのLエッジを検出する。第1及び第2のローエッジ検出部を交互に動作させることにより、全ての期間におけるデータINのLエッジの検出が可能となる。

【0056】

なお、データINをインバータ46を介して／INとして入力しているのは、入力がLパルスであるよりもHパルスである方が図7の動作を分かり易く書ける

ためである。

【 0 0 5 7 】

第 1 のローエッジ検出部の動作を説明する。内部クロック CLK 2 が H レベルの間はラッチ 4 9 がリセットされており、その出力 N 3 は L である。内部クロック CLK 2 が L レベルになるとラッチ 4 9 にリセットが解除され、ラッチ 4 9 は比較器 4 8 の出力 N 2 が H レベルになるのを待つ状態になる。ゲート 4 7 の機能は後述するが、この時は接続状態である。データ IN に L パルスが入力されると、ノード N 1 にハイパルスが発生する。内部クロック CLK 2 の H エッジ（ローからハイに立ち上がるエッジ）とノード N 1 の H エッジのどちらが早いかを比較器 4 8 で判定する。ノード N 1 の H エッジが早ければ出力 N 2 は H となり、これがラッチ 4 9 にラッチされる。H レベル信号はノード N 3、N 7 と伝達され、内部クロック CLK 1 に同期して同期型ラッチ 3 0 にラッチされ、出力信号 N 8 としてパルス発生部 3 1 に出力される。データ IN に対応した書き込みコマンドが入力されていれば、制御線 3 3 b が ON しており（内部書き込みコマンドが発生しているとも言える）、パルス発生部 3 1 でパルス N 9 が発生し、フリップフロップ 3 2 の状態を反転させる。図 7 の場合には、出力 OUT が “0” から “1” に反転する（反転①）。

【 0 0 5 8 】

ここで、ラッチ 4 9 が必要な理由は、図 7 の IN ①のように内部クロック CLK 2 が L レベルの間にパルスの発生が終わってしまう場合は、比較器 4 8 の判定結果も IN パルスの終わりとともに消えてしまうため、ラッチ 4 9 でそれを保持する必要があるためである。

【 0 0 5 9 】

また、ゲート 4 7 の機能は、図 7 の IN ③のようにクロック CLK の H エッジをまたいで入力されるパルスについて、後ろにはみ出した分を無視させることである。比較器 4 8 で内部クロック CLK 2 よりノード N 1 の H が早かった場合にはノード N 2 が H となり、この状態はノード N 1 が H である限り保たれる。ノード N 2 が H レベルの間はゲート 2 は切断状態になり、第 2 のローエッジ検出部の回路にデータ IN は伝達されない。その後、ノード N 1 が L レベルになるとノード

ドN 2がLレベルになり、ゲート5 1が接続状態になり、内部クロック／CLK 2がLレベルの間にパルスが入力されたら、第2のローエッジ検出回路がデータINを取り込む。

【0060】

なお、図6に示す構成では、入力データのパルス幅（Lレベルの部分の長さ）が1クロックの長さを超えるような入力パルスの使用は原則として禁止される。また、ラッチ4 9は、内部クロックCLK 2を所定時間だけ遅延させる遅延回路5 0の出力でリセットされる。同様に、ラッチ5 3は、内部クロック／CLK 2を所定時間だけ遅延させる遅延回路5 4の出力でリセットされる。また、同期型ラッチ3 0は、内部クロックCLK 1を所定時間だけ遅延させる遅延回路5 6でリセットされる。

【0061】

図8は、図6に示すデータ入力部の入力ラッチ部4 5の回路構成例を示す図である。ゲート4 7はNORゲート4 7 aからなる。NORゲート4 7 aは比較器2 9の出力とインバータ5 8の出力をNOR演算する。比較器4 8はNANDゲート4 8 aと4 8 bとからなる。ラッチ4 9はNANDゲート4 9 aと4 9 bとからなる。遅延回路5 0はインバータ5 0 aと遅延素子5 0 bとからなる。同様に、ゲート5 1はNORゲート5 1 aからなる。NORゲート5 1 aは比較器2 9の出力とインバータ5 7の出力をNOR演算する。比較器5 2はNANDゲート5 2 aと5 2 bとからなる。ラッチ5 3はNANDゲート5 3 aと5 3 bとからなる。遅延回路5 4はインバータ5 4 aと遅延素子5 4 bとからなる。ORゲート5 5は、NORゲート5 5 aとインバータ5 5 bとからなる。

【0062】

図8の回路動作は図7に示す通りである。

（メモリ側データ入力部の第3の実施例）

次に、図9を参照して、各メモリ1 3 a－1 3 dのインタフェース部1 9 a－1 9 dの内部に設けられたデータ入力部の第3の実施例を説明する。第3の実施例は、チップ選択信号／CSの立ち上がりでデータINのレベルを取り込むタイプのデータ入力部である。なお、図9において、図3に示す構成要素と同一のも

のには同一の参照番号を付してある。

【 0 0 6 3 】

コマンド入力回路／コマンドデコーダ 2 6 は、チップ選択信号／C S の立ち下がりを検出して、内部チップ選択信号 C S 1 を出力しラッチ 3 0 に出力する。ラッチ 3 0 は、内部チップ選択信号 C S 1 に同期してデータ I N を取り込む。その他の回路構成は、図 3 に示す回路構成と同様である。

【 0 0 6 4 】

図 1 0 は、図 9 に示すデータ入力部の動作を示すタイミング図である。リフレッシュ後、チップ選択信号／C S の立ち下がりに応答してラッチ回路 3 0 がデータ I N のローパルスを実ラッチする。パルス発生部 3 1 は制御線 3 3 b が O N したことによりイネーブル状態にあり、ラッチ 3 0 からのパルス N 1 を受けてパルス N 2 をフリップフロップ 3 2 に出力する。フリップフロップ 3 2 はパルス N 2 を受けて、換言すればノード N 2 の立ち上がりを受けて状態が反転する。この状態の反転により、フリップフロップ 3 2 の出力 O U T は L から H レベルに変化する。

【 0 0 6 5 】

以下同様にして、チップ選択信号／C S の立ち下りに時にデータ I N がローレベルの場合にフリップフロップ 3 2 の状態を反転させる。

(メモリ側データ入力部の第 4 の実施例)

次に、図 1 1 を参照して、各メモリ 1 3 a - 1 3 d のインタフェース部 1 9 a - 1 9 d の内部に設けられたデータ入力部の第 4 の実施例を説明する。第 4 の実施例は、データ I N の L エッジを非同期（クロック C L K やチップ選択信号／C S 同期しない）で検出するタイプのデータ入力部である。なお、図 1 1 中、図 6 に示す構成要素と同一のものには同一の参照番号を付してある。

【 0 0 6 6 】

図 1 1 の回路構成は、図 6 に示す入力ラッチ部 4 5 に代えて入力ラッチ部 6 0 を設けた点と、図 6 に示す 1 / 2 分周器 4 4 を具備していない点で図 6 に示す回路構成と相違する。入力ラッチ部 6 0 は、比較器 4 8、ラッチ 4 9 及び遅延回路 5 0 を具備する。入力ラッチ部 6 0 は、チップ選択信号／C S (つまり C S 1)

がON状態の間（入力受付期間）、入力データINのLエッジ、直接的にはインバータ46が出力する反転データ／INのHエッジを検出すると、パルス発生部31に出力信号N3を出力する。

【0067】

図12は、図11の回路の動作を示すタイミング図である。リフレッシュ後の最初のデータINはLパルス（①）である。内部チップ選択信号CS1が入力受付期間ないに反転データ／INがLからHレベルに変化するので、比較器48はパルスN2をラッチ49に出力する。ラッチ49はHパルスを保持し、パルス発生部31にHレベルの信号N3を出力する。パルス発生部31は、書き込みコマンドWrite1を受けてON状態となった制御線33bを介して（換言すれば内部書き込みコマンドにより）イネーブル状態にあり、Hレベルの信号N3を受けてパルスN4をフリップフロップ32に出力する。これを受けたフリップフロップ32は状態が反転し、出力OUTはLからHレベルに変化する。

【0068】

データINの次のLパルス（②）のタイミングでは、内部チップ選択信号CS1はOFF状態であり、比較器48はこのLパルスを検出しない。図12において、信号（ノード）N2を示す時間軸上に破線で図示してあるパルスは、比較器48で検出されず、この結果入力ラッチ部60にラッチされなかったことを示している。

【0069】

ラッチ49のリセットは、内部チップ選択信号CS1を所定時間だけ遅延させる遅延回路50の出力信号で行われる。図示する例では、遅延時間は内部チップ選択信号CS1の1/2周期相当である。

【0070】

データINのその次にLパルス（③）は前述した①のLパルスと同様に処理される。この結果、入力データ、つまり書き込みデータの①と③のLパルスに応答してそれぞれフリップフロップ32の状態が変化し、出力OUTはL→H→Lと変化する。

【0071】

(メモリ側データ入力部の第5の実施例)

次に、図13を参照して、各メモリ13a-13dのインタフェイス部19a-19dの内部に設けられたデータ入力部の第5の実施例を説明する。第5の実施例は、データINのLエッジを非同期で検出するタイプのデータ入力部であって、上述した第4の実施例の改良型である。なお、図13中、図6に示す構成要素と同一のものには同一の参照番号を付してある。

【0072】

第5の実施例の回路構成は、図6に示す第2の実施例の回路構成に似ているが、図13に示す入力ラッチ部62は1つのローエッジ検出部を具備している。このローエッジ検出部はゲート47、比較器48、ラッチ49及び遅延回路50を具備する。ゲート51、比較器52及びインバータ63からなる回路はゲート47のON/OFFを制御する。

【0073】

図14は、図13に示す第5の実施例の動作を示すタイミング図である。データINのLパルス①はインバータ46でHパルスのデータ/INに変換され、ゲート47を通り、N1として比較器38に与えられる。この時、比較器38はLレベルの内部チップ選択信号CS1を受けているので、Hパルスの出力N2をラッチ49及びゲート51に出力する。ラッチ49はこのHパルスをラッチし、Hレベルの出力N3をパルス発生部31に与える。パルス発生部31は書き込みコマンドWrite1をデコードしてえられる内部コマンドWriteに応答して、パルス出力N4をフリップフロップ32に与える。これにより、出力OUTはLからHレベルに変化する。

【0074】

他方、Hパルスの信号N2を受けてゲート51は接続状態となっており、反転データ/INはゲート51を通り比較器52に与えられる。この時、反転内部チップ選択信号/CS1はHレベルなので比較器52は反転データ/INの立ち上がりを検出することができず、その出力N6はLレベルのままである。Lレベルの出力N6でゲート47は接続状態にある。

【0075】

入力データ I N の次の L パルス②を受けた時、内部チップ選択信号 C S 1 は H なので比較器 4 8 はディスエーブル状態であり、比較器 5 2 はイネーブル状態である。ノード N 2 は L レベルにあるので、ゲート 5 1 は接続状態にある。よって、比較器 5 2 は反転データ / I N の立ち上がりを検出し、その出力 N 6 を H レベルとする。これを受けてゲート 4 7 は O F F し、その出力 N 1 は L レベルにある。よって、比較器 4 8 の出力 N 2 も L である。この時、ラッチ 4 9 は H レベルを保持し続けている。つまり、入力ラッチ部 6 2 は L パルス②を検出しない（ラッチしない）。これは、チップ選択信号 / C S が立ち下がる時点では既に、L パルス②が立ち下がっており、このようなタイミングにある L パルスを無視するためである。

【 0 0 7 6 】

ラッチ 4 9 は、内部チップ選択信号 C S 1 を所定時間だけ遅延させる遅延回路 5 0 の出力でリセットされ、L レベルにリセットされる。つまり、ラッチが解除される。

【 0 0 7 7 】

次のデータ入力 I N の L パルス③は上述した①と同様に処理され、フリップフロップ 3 2 を反転させる。

【 0 0 7 8 】

以上のようにして、データ I N の 3 つの L パルス①、②、③に応じて出力 O U T は L → H → L と 2 回だけ変化する。

【 0 0 7 9 】

なお、上記第 3 ～ 第 5 の実施例ではデータ I N の取り込みにチップ選択信号 / C S を用いているが、それ以外のコマンド信号でも良い。

（メモリ側データ入力部の第 6 の実施例）

次に、図 1 5 を参照して、各メモリ 1 3 a - 1 3 d のインタフェイス部 1 9 a - 1 9 d の内部に設けられたデータ入力部の第 6 の実施例を説明する。第 6 の実施例は、図 3 に示す第 1 の実施例に電力消費の観点から改良を加えたデータ入力部である。なお、図 1 5 において、図 3 に示す構成要素と同一のものには同一の参照番号を付してある。

【0080】

図15に示す回路構成は、比較器29で構成される入力初段を、コマンド入力回路／コマンドデコーダ26が出力する内部チップ選択信号CS1で制御する構成を持つ。この点で、図3に示す回路構成と相違する。内部チップ選択信号CS1がONの時のみ比較器29はイネーブル状態とされる（活性化される）。つまり、OFFの時には比較器29はディスエーブル状態である。これにより、データ入力部が搭載されるチップが選択されていない時には、比較器29は無駄な電力を消費しない。

【0081】

図16は、図15に示す回路構成の動作を示すタイミング図である。チップ選択信号／CSをクロックCLKの立ち上がりエッジより所定期間（図16の例では1/2周期）だけ前に入力することで、比較器29をイネーブル状態にした後にデータINのLレベルを取り込むようにしている。

【0082】

入力初段を必要な時のみイネーブル状態する第6の実施例の考え方は、第1から第5の実施例にも同様に適用できる。

（メモリ側データ出力部の実施例）

次に、図17を参照して、各メモリ13a-13dのインタフェース部19a-19dの内部に設けられたデータ出力部の一実施例を説明する。以下に説明するデータ出力部は、同期型にも非同期型にも適用可能である。

【0083】

図17に示すデータ出力部は、ORゲート65、取込みゲート60、レジスタ67、及びn個のデータ出力回路68₁-68_nを有する。データ出力回路68₁-68_nの各々は排他的論理和ゲート69、フリップフロップ70、遅延回路71、ANDゲート72及びトランジスタ73を具備する。メモリコア（図2に図示）からの読み出しデータは取込みゲート60に与えられるとともに、ビット単位に対応するデータ出力回路68₁-68_nに与えられる。取込みゲート60は、メモリコアからのデータ出力パルスに応答してゲートが接続状態となり、読み出しデータをレジスタ67に出力する。コマンドバス16C（図2）を通りコ

ントローラ 10 から若しくはメモリ内部で発生するリフレッシュコマンド、又は内部で発生するリセット信号は、ORゲート 65 を通りレジスタ 67 に与えられる。これらの信号を受けると、レジスタ 67 はリセットされる。レジスタ 67 はデータの読み出しがある都度リセットされる。

【0084】

データ出力回路 68₁ の排他的論理和ゲート 69 は、読み出しデータの対応するビットと、レジスタ 67 から読み出された読み出しデータの対応するビットとの排他的論理和演算を行う。レジスタ 67 から読み出された読み出しデータは、メモリコアから読み出されたデータの直前の読み出しデータである。従って、排他的論理和ゲート 69 は、前回のデータに対し今回のデータが反転しているかどうかを検出する。反転していると排他的論理和ゲート 69 は H レベルの出力 N1 をフリップフロップ 70 に出力する。フリップフロップ 70 は、データ出力パルスに応答して H レベルの出力 N1 をラッチし、Q 出力に H を出力する。データ出力パルスは遅延回路 71 で僅かに遅延され、ANDゲート 72 に与えられる。ANDゲート 72 は、Q 出力と遅延回路 71 からの出力とのタイミング差に相当する幅のパルスを出力する。トランジスタ 73 は N チャネル MOS トランジスタなどの電界効果型トランジスタで構成されており、ANDゲート 72 が出力する H パルスに응答してデータバス 16D の対応するバス線をグラウンドレベル（ローレベル）に設定する。トランジスタ 73 のドレインは抵抗で終端されたデータバス線に接続されており、いわゆるオープンドレインタイプの使用形態である。

（コントローラの /CS 出力部及びデータ出力部の実施例）

次に、図 18 を参照して、コントローラ 10 の内部に設けられたチップ選択信号出力部（以下、/CS 出力部という）及びデータ出力部の一実施例を説明する。

【0085】

コントローラ 10 内部の /CS 出力部はチップ選択制御回路 75 及びチップ選択信号出力回路 84a-84d とを含む。チップ選択制御回路 75 は、図 2 に示す 4 つのメモリ 13a-13d を選択するためのチップ選択信号を生成し、チップ選択信号出力回路 84a-84d に出力する。各チップ選択信号出力回路 84

a-84, dは、ANDゲート85及びNMOSトランジスタなどの電界効果トランジスタ86を有する。ANDゲート85は対応するチップ選択信号とCS出力制御信号とを受ける。CS出力制御信号は、コントローラ10内部の制御部（図示を省略する）から出力されるものであり、チップを選択する際にONとなる信号である。ANDゲート85の出力はトランジスタ86のゲートを制御する。チップ選択信号出力回路84 a-84 dのANDゲート86は、アクティブ・ローのチップ選択信号/CS a-/CS dを出力する。チップ選択信号/CS a-/CS dはそれぞれ、コマンドバス16Cを介して図2のメモリ13 a-13 dに供給される。

【0086】

コントローラ10のデータ出力部は、ORゲート76、取込み制御回路77、リセット回路78、レジスタ群79、マルチプレクサ83及びデータ出力回路87₁-87_nを具備する。レジスタ群79は、4つのメモリ10 a-10 dに対応して4つのレジスタユニット80 a-80 dを具備する。各レジスタユニット80 a-80 dは、取込みゲート81とレジスタ82を具備する。レジスタユニット80 a-80 dはそれぞれ、図3に示すレジスタ17 a-17 dに相当する。図3のインタフェース部18は、図18のマルチプレクサ83及びデータ出力回路87₁-87_nを含む。

【0087】

書き込みデータはレジスタ群79に与えられると共に、ビット単位にデータ出力回路87₁-87_nに与えられる。取込み制御回路77は4つのチップ選択信号を受取り、データ出力パルスに応答して、レジスタユニット80 a-80 dからONとなっている（イネーブル状態にある）チップ選択信号に対応するユニットの取込みゲート81が接続状態になる。これにより、書き込みデータはONとなった取込みゲートを介して、対応するユニットのレジスタ82に書き込まれる。リセット回路78は、コントローラ10の内部回路からORゲート76を介して供給されるリフレッシュコマンド又はリセット信号に応答して、チップ選択信号で選択されたユニットのレジスタ82をリセットする。

【0088】

レジスタユニット80a-80dのレジスタ82から読み出される書き込みデータはマルチプレクサ83を介して、ビット単位に対応するデータ出力回路87₁-87_nに供給される。

【0089】

データ出力回路87₁-87_nの各々は、排他的論理和ゲート84、フリップフロップ85、遅延回路86、ANDゲート87及びNMOSトランジスタなどの電界効果トランジスタ88を具備する。この構成は、図17に示すデータ出力回路68₁-68_nと同様である。排他的論理和ゲート84は、マルチプレクサ83からの対応するビットと書き込みデータの対応するビットとを受取り、これらの排他的論理和演算を行い、演算結果をフリップフロップ85に出力する。マルチプレクサ83を介して受取る書き込みデータは1つ前に処理された書き込みデータである。よって、この排他的論理和演算は、今回の書き込みデータが前回の書き込みデータの反転データであるかどうかを検出するものである。反転していると排他的論理和ゲート84はHレベルの出力をフリップフロップ85に出力する。フリップフロップ85は、データ出力パルスに応答してHレベルの出力をラッチし、Q出力にHを出力する。データ出力パルスは遅延回路86で僅かに遅延され、ANDゲート87に与えられる。ANDゲート87は、Q出力と遅延回路86からの出力とのタイミング差に相当する幅のパルスを出力する。トランジスタ88はNチャネルMOSトランジスタなどの電界効果型トランジスタで構成されており、ANDゲート87が出力するHパルスに応答してデータバス16Dの対応するバス線をグランドレベルに設定する。

(コントローラのデータ入力部の実施例)

次に、図19を参照して、コントローラ10の内部に設けられたデータ入力部の一実施例を説明する。

【0090】

コントローラ10のデータ入力部は、チップ選択回路75、ORゲート90、リセット回路91、n個の入力回路911-91n、4個のメモリ13a-13dにそれぞれ対応するレジスタユニット93a-93d及びマルチプレクサ98を具備する。データ入力部はデータバス16Dから読み出しデータを受取り、メ

メモリコアを含む内部回路に出力する回路である。

【0091】

入力回路 $92_1 - 92_n$ はデータバス 16D から読み出しデータを受取り、レジスタユニット $93a - 93d$ に出力する。入力回路 $92_1 - 92_n$ の各々は比較器、ラッチ部及びパルス発生部を具備し、前述したメモリ側のデータ入力部の第1の実施例から第6の実施例と同様に構成できる。

【0092】

レジスタユニット $93a - 93d$ の各々は、 n 個のANDゲート96から構成される取込みゲート94と n 個のフリップフロップから構成されるデータレジスタ95とを具備する。ANDゲート96は入力回路 $92_1 - 92_n$ から n ビットの読み出しデータを受けるとともに、対応するチップ選択信号を受ける。ANDゲート96の出力は、対応するフリップフロップ97のクロック端子に供給される。各フリップフロップ97の/Q出力はD入力に接続され、Q出力がマルチプレクサ98に供給される。リセット回路91は、ORゲート90を介して供給されるリフレッシュコマンド又はリセット信号に応答して、ユニット $93a - 93d$ のうちのチップ選択信号で指示されている1つのユニットのフリップフロップ97をリセットする。マルチプレクサ98は、ONとなっているチップ選択信号に対応するユニットを選択し、ここから出力される読み出しデータをメモリコアを含む内部回路に出力する。

【0093】

入力回路 $91_1 - 91_n$ が反転データ“1”（Lパルス）を受取ると、取込みゲート94を介してデータレジスタ95の対応するフリップフロップ97の状態を反転させることで、送信されたデータの再生が行われる。

（メモリ側データ入出力部の実施例）

次に、図20を参照して、各メモリ $13a - 13d$ のインタフェイス部 $19a - 19d$ の内部に設けられたデータ入出力部を第7の実施例として説明する。第7の実施例は、書き込みデータレジスタRegDWと読み出しデータレジスタRegDRを兼用するものである。なお、図20において、前述した図に示す構成要素と同一のものには同一の参照番号を付してある。

【0094】

データ入出力部は、ORゲート65、取込みゲート60、レジスタ67、及びデータ入出力部100を有する。データ入出力部100は、 n 個のデータ入出力ユニット $101_1 - 101_n$ を有する。データ入出力ユニット $101_1 - 101_n$ の各々は、データ入力&パルス発生回路102及びデータ出力回路103を具備する。データ入力回路102は前述した第1の実施例から第6の実施例のデータ入力回路のうち、書き込みレジスタRegDWを除くパルス発生部31までの回路を含むものである。書き込みレジスタRegDWは、レジスタ67に相当する。また、データ出力回路103は、例えば図17に示すデータ出力回路 $68_1 - 68_n$ である。図17に示すレジスタ67（読み出しレジスタRegDR）は、図20では書き込みレジスタRegDWとしても機能する。

【0095】

メモリアから読み出しデータは内部読み出しデータバス105を介して、取込みゲート60とデータ入出力ユニット $101_1 - 101_n$ のデータ出力回路103に供給される。データ出力回路103は、排他的論理和演算の結果が“1”に対応するデータ反転パルス信号（例えばLパルス）をバス16Dに出力する。書き込みデータは、データバス16Dからデータ入力回路102に入力し、ここでデータ反転を示すLパルスが検出されるとパルス信号がレジスタ67に与えられる。レジスタ67は書き込みデータ又は比較用データを内部書き込みデータバス104に出力する。比較用データとは、今回の読み出しデータに対する前回の読み出しデータであって、取込みゲート60を介してレジスタ67に格納されたものである。

【0096】

図21は、図20に示す取込みゲート60とレジスタ67の一構成例を示す回路図であり、1ビット分の回路構成を示す。取込みゲート60は、インバータ104と2つのANDゲート105、106を具備する。内部読み出しデータバス105上の読み出しデータはANDゲート106に直接供給されるとともに、インバータ104で反転されてANDゲート105に供給される。また、ANDゲート105と106は、取込み制御信号として機能するデータ出力制御パルスを

受取る。

【0097】

レジスタ67は、ORゲート107と、セット端子フリップフロップ108を具備する。ANDゲート105の出力はORゲート107を介して、フリップフロップ108のリセット端子に与えられる。また、このリセット端子にはORゲート107を介してリフレッシュコマンド（又はリセット信号）が与えられる。ANDゲート106の出力はセット端子に接続されている。クロック端子には、データ入力&パルス発生回路102からのデータ反転パルス信号が与えられる。／Q端子はD端子に接続され、Q端子がレジスタ67の出力を構成する。

【0098】

図21の回路動作を説明する。リフレッシュコマンド（又はリセット信号）がフリップフロップ108に与えられると、フリップフロップ108はリセットされ、Q出力はLレベルとなる。データ出力時にはデータ出力制御パルスがHレベルに変化する。読み出しデータがLレベルの場合にはリセット端子がHになり、Q出力はLレベルとなる。書き込みデータを取込む場合には、データ入力&パルス発生回路102からのデータ反転パルス信号がフリップフロップ108のクロック端子に入り、Q出力が反転する。

【0099】

このように、書き込みデータと読み出しデータとでレジスタを共有することで、チップ面積を節約することができる。

（コントローラの／CS出力部及びデータ出力部の別の実施例）

次に、図22を参照して、コントローラ10の内部に設けられたチップ選択信号出力部（以下、／CS出力部という）及びデータ出力部の別の実施例を第2の実施例として説明する。この第2の実施例は、書き込みデータレジスタRegDW-Cと読み出しデータレジスタRegDR-Cを兼用するものである。なお、図22において、図18に示す構成要素と同一のものには同一の参照番号を付してある。

【0100】

レジスタ群110は、図2に示す4つのメモリ13a-13dに対応して4つ

のレジスタユニット111a-111dを有する。各レジスタユニット111a-111dは、2つの取込みゲート112と113及びレジスタ114を有する。取込み制御回路77は、チップ選択信号に基づいて、レジスタユニット111a-111dのうちの1つの取込みゲート112を接続状態にする。レジスタユニット111a-111dの取込みゲート113は、対応するチップ選択信号に応答して制御される。内部書き込みデータバス122上の書き込みデータは、レジスタユニット111a-111dのうちのいずれか1つの取込みゲートを介してレジスタ114に書き込まれる。後述するデータ入出力部117からのデータ反転パルス信号は、レジスタユニット111a-111dのうちのいずれか1つの取込みゲートを介してレジスタ114に書き込まれる。マルチプレクサ115はチップ選択信号に応答して、レジスタユニット111a-111dのうちのいずれか1つを選択し、ここからのデータ出力をレジスタ116に書き込む。レジスタ116から読出されたデータ（読み出しデータ又は比較用データ）は、内部読み出しデータバス121上に読み出される。

【0101】

データ入出力部117は、図20に示すデータ入出力部100と同様の構成である。データ入出力部117は、 n 個のデータ入出力ユニット118₁-118_nを有する。データ入出力ユニット118₁-118_nの各々は、データ入力&パルス発生回路119及びデータ出力回路120を具備する。データ入力回路119は図19に示す入力回路92₁-92_nに相当するもので、前述した第1の実施例から第6の実施例のデータ入力回路のうち、書き込みレジスタRegDWを除くパルス発生部3.1までの回路を含むものである。書き込みレジスタRegDWは、レジスタ114に相当する。また、データ出力回路120は、例えば図18に示すデータ出力回路87₁-87_nである。図22に示すチップ選択信号出力回路84は、図18に示すチップ選択信号出力回路84a-84dを含む。

【0102】

図23は、図22に示す取込みゲート112、113及びレジスタ114の一回路構成例を示す回路図である。取込みゲート112は、インバータ131及び2つのANDゲート132、133を有する。取込みゲート136はANDゲート

ト 1 3 6 を有する。レジスタ 1 1 4 は、OR ゲート 1 3 4 とフリップフロップ 1 3 5 とを有する。取込みゲート 1 1 2 は図 2 1 に示す取込みゲート 6 0 と同一構成である。また、レジスタ 1 1 4 は図 2 1 に示すレジスタ 6 7 と同一構成である。図 2 1 の回路構成では、データ反転パルス信号が直接フリップフロップ 1 0 8 のクロック端子に供給されていたのに対し、図 2 3 の回路構成では AND ゲート 1 3 6 で構成される取込みゲート 1 1 3 を介してフリップフロップ 1 3 5 のクロック端子に供給されている。AND ゲート 1 3 6 は、データ反転パルス信号と対応するチップ選択信号の AND 演算を行う。チップ選択信号が ON の時、データ入力 & パルス発生回路 1 1 9 が出力するデータ反転パルス信号が AND ゲート 1 3 6 を介して、フリップフロップ 1 3 5 のクロック端子に与えられる。そして、Q 出力がマルチプレクサ 1 1 5 を介してレジスタ 1 1 6 に一端保持された後、読み出しデータとしてメモリコアに供給される。

(本発明の第 2 の原理)

次に、図 2 4 を参照して本発明の第 2 の原理を説明する。

【 0 1 0 3 】

図 1 を参照して説明した本発明の第 1 の原理では、コントローラ 1 0 のレジスタ 1 2 とメモリ 1 3 のレジスタ 1 5 とは常に最後にやり取りしたデータを保持する構成である。これに対し、本発明の第 2 の原理では、コントローラ 1 0 のレジスタ 1 2 とメモリ 1 3 のレジスタ 1 5 は同一の代表データを保持するものである。そして、代表データと異なるビットをデータ反転信号として送信する。この送信は、例えばパルスを用いて行われる。

【 0 1 0 4 】

例えば、ある一群のデータを送信する場合、まず代表データを送信し、それに続いてその代表データと異なるビットを送信する。この場合、書き込みコマンドには代表データを送信するコマンド (WRITE (A)) と、反転ビットを送信するコマンド (WRITE (B)) の 2 種類を用いる。読み出しコマンドも同様に、読み出しデータをそのまま出力するコマンド (READ (A)) と、反転するビットのみを出力するコマンド (READ (B)) がある。また、信号の送受信はパルスで行うが、代表データを送信する場合には L パルスが入った場合は “

0”で、入らなかった場合は“1”などのように予め決めておく。

【0105】

図24の例では、ステップ①でコントローラ10は代表データ1011をレジスタ12に書き込むと共に、メモリ13のレジスタ15に書き込みコマンドWRITE (A)を用いて書き込む。これにより同一の代表データがレジスタ12と15に書き込まれる。

【0106】

ステップ②でコントローラ10は書き込みデータ1010と代表データ1011との排他的論理和演算を行い、その演算結果0001をデータバス16を介してメモリ13に送る。この時の書き込みコマンドはWRITE (B)である。メモリ13では、今受取ったデータ0001と代表データ1011との間で排他的論理和演算を行い、その演算結果1010がメモリコアに書き込まれる。

【0107】

以下、同様にステップ③、④と行われる。

(第2の原理に対応したメモリのデータ入出力部の実施例)

図25は、第2の原理に対応したメモリ(メモリ13や図2に示すメモリ13a-13dに相当する)のデータ入出力部の実施例で、書き込みレジスタと読み出しレジスタを共用する例である。

【0108】

図示するデータ入出力部は、メモリコア20、スイッチ140、取込みゲート141、レジスタ142、排他的論理和ゲート(EX-OR2)143、マルチプレクサ(MUX2)144、データ入出力回路145、排他的論理和ゲート(EX-OR1)146、及びマルチプレクサ(MUX1)147を有する。

【0109】

代表データを送受信する場合は、メモリ内部で代表データ取込み信号が発生し、取込みゲート141を接続状態にするとともに、マルチプレクサ143及び147が入力Aを選択する。また、書き込みか読み出しかによってスイッチ140が切り替わる。この時、書き込みデータであれば、データ入出力回路145から取込まれ、マルチプレクサ147を通過してそのままメモリコア20に送られると

ともに、レジスタ142にも送られ保持される。これに対し、読み出しデータであれば、メモリア20からきたデータはマルチプレクサ144を通してそのままデータ入出力回路145から出力されると共に、レジスタ142に送られ保持される。

【0110】

反転ビットを送受信する場合は、2つのマルチプレクサ144と147が入力Bを選択する。この時、書き込みデータであれば、データ入出力回路145から取込まれ、排他的論理和ゲート146でレジスタ142の代表データと排他的論理和を取る。この演算結果は、マルチプレクサ147を通りメモリア20に送られる。また、読み出しデータであれば、排他的論理和ゲート143はメモリア20からきたデータとレジスタ142の代表データとの排他的論理和を演算する。この演算結果は、マルチプレクサ144を通りデータ入出力回路145から出力される。

【0111】

一般的には、代表データはコントローラ10からメモリ13a-13dに送られる場合がほとんどと考えられるが、より汎用性を持たせるために、図25に示す回路構成ではメモリ13a-13dからコントローラ10にも代表データを送信できる構成としてある。

(第2の原理に対応したコントローラのデータ入出力部の実施例)

図26は、第2の原理に対応したコントローラのデータ入出力部の実施例で、書き込みレジスタと読み出しレジスタを共用する例である。図中、前述した図に示す構成要素と同一の構成要素には同一の参照番号を付してある。

【0112】

図示するコントローラのデータ入出力部は、チップ選択回路75、取込み制御回路77、チップ選択信号出力回路84、マルチプレクサ115、コントローラの内部回路150、スイッチ151及びレジスタ群160を有する。更に、データ入出力部は、排他的論理和ゲート(EX-OR)161、マルチプレクサ(MUX)162、データ入出力回路163、排他的論理和ゲート(EX-OR)164、及びマルチプレクサ(MUX)165を有する。

【0113】

レジスタ群160は、図2に示す4つのメモリ13a-13dに対応して、4つのレジスタユニット161a-161dを具備する。各レジスタユニット161a-161dは、取込みゲート113とレジスタ114を有する。

【0114】

代表データを送受信する場合は、内部回路150で代表データ取込み信号が発生する。取込みゲート77は、ON状態のチップ選択信号に対応したレジスタユニット161a-161dのうちの1つのレジスタユニットの取込みゲート113を接続状態にする。また、代表データ取込み信号は、マルチプレクサ162及び165が入力Aを選択する。また、書き込みか読み出しによってスイッチ151が切り替わる。この時、書き込みデータであれば、データ入出力回路163から取込まれ、マルチプレクサ165を通してそのまま内部回路150に送られるとともに、対応するレジスタユニットのレジスタ114にも送られ保持される。これに対し、読み出しデータであれば、内部回路150からきたデータはマルチプレクサ162を通してそのままデータ入出力回路163から出力されると共に、対応するレジスタユニットのレジスタ114に送られ保持される。

【0115】

反転ビットを送受信する場合は、2つのマルチプレクサ162と165が入力Bを選択する。この時、書き込みデータであれば、データ入出力回路163から取込まれ、排他的論理和ゲート164でレジスタ114の代表データと排他的論理和を取る。この演算結果は、マルチプレクサ165を通り内部回路150に送られる。また、読み出しデータであれば、排他的論理和ゲート161は内部回路150からきたデータとレジスタ114の代表データとの排他的論理和を演算する。この演算結果は、マルチプレクサ162を通りデータ入出力回路163から出力される。

【0116】

図25や図26に示す回路構成を持つデバイスにおいて、電源ノイズなどの影響によりレジスタ142や160のデータが反転してしまった場合には、コントローラ10からメモリに代表データを再送信すれば良い。このようば場合に備え

て、読み出しも書き込みと伴わない、代表データを送信してレジスタの内容を更新するだけのコマンド（代表データ更新コマンド）をコマンド体系の中に用意しておくこともできる。

（第1及び第2の原理の両方に対応したメモリのデータ入出力部の実施例）

図27は、前述した本発明の第1及び第2の原理の両方に対応したメモリのデータ入出力部の実施例を示す図である。図27において、図25に示す構成要素と同一のものには同一の参照番号を付してある。このメモリは、第1の原理で動作する動作モード1と、第2の原理で動作する動作モード2の2つのモードを有する。

【0117】

取込みゲート141は、ゲート制御1信号、モード切り替え信号及び代表データ取込み信号を論理演算した結果で制御される。この論理演算は、インバータ167、ANDゲート168、169及びORゲート170で構成される。レジスタ142は、リセット信号（又はリフレッシュ信号）とモード切り替え信号とをインバータ171とANDゲート172で論理演算した信号でリセットされる。マルチプレクサ147とメモリコア20との間には、ゲート173とラッチ174が設けられている。ゲート173は、ORゲート165でモード切り替え信号とゲート制御2信号とのOR演算の結果で制御される。マルチプレクサ144とデータ入出力回路145との間には、ゲート175とラッチ176が設けられている。ゲート175は、ORゲート166でモード切り替え信号とゲート制御3信号とのOR演算の結果で制御される。これらのゲート173とラッチ174及びゲート175とラッチ176は、動作モード1に対応した動作を実現するために設けられている。

【0118】

ゲート制御1信号、ゲート制御2信号、ゲート制御3信号、データ入出力制御信号、代表データ取込み信号、読み出し／書き込み切り替え制御信号は、例えばメモリのタイミングコントローラなどの内部回路（図示を省略する）で生成されるものである。また、モード切り替え信号はモードレジスタなどを用いて外部から設定しても良いし、フューズなどを用いて出荷時にプログラムしても良い。更

に、コマンド体系に動作モード1と動作モード2の両方を用意すれば、コントローラからのコマンド指示により随時切り替えて動作させることも可能である。

【0119】

動作モード1では、モード切り替え信号はLレベルに設定される。また、マルチプレクサ144と147は入力Bを選択する。レジスタ142はリフレッシュコマンドでリセットされる。動作モード1では、書き込み時のゲート制御1信号とゲート制御2信号とのタイミングは図27に示す関係にある。ゲート制御2信号をONにしてゲート173を接続状態にして書き込みデータをラッチ174にラッチさせた後に、ゲート制御1信号をONにして取込みゲート141を接続状態にして書き込みデータをレジスタ142に記憶させる。また、読み出し時は、ゲート制御3信号をONにして読み出しデータをラッチ176にラッチさせた後に、ゲート制御1信号をONにして取込みゲート141を接続状態にして読み出しデータをレジスタ142に記憶させる。このようなタイミング関係にあるゲート制御1信号で取込みゲート141は制御され、ゲート制御2信号でゲート173は制御され、ゲート制御3信号でゲート175は制御される。このような動作モード1の動作は、図20を参照して説明した回路構成の動作と実質的に同じである。

【0120】

動作モード2では、モード切り替え信号はHレベルに設定される。取込みゲート1とマルチプレクサ144、147は代表データ取込み信号の状態に応じて制御される。ゲート173と175は接続状態で固定である。レジスタ142はリフレッシュコマンドではリセットされない。このような動作モード2の動作は、図25を参照して説明した回路構成の動作と同じである。

【0121】

電源ノイズなどの影響によりレジスタ142が反転してしまった場合は、動作モード1ではれ時スト142をリセットし、動作モード2では代表データを再受信してレジスタ142の内容を更新すれば良い。

【0122】

また、図27に示す回路構成では、動作モード1においても前述の代表データ

更新コマンドと同様の動作をするレジスタ更新コマンドを用意すれば、次のような対応も可能である。動作モード1で使用中にレジスタ142の内容を更新する場合は、コントローラ10からレジスタ更新コマンドとコントローラのレジスタに保持されている最新データをメモリにそのまま送信する。メモリはレジスタ更新コマンドを受信したらモード切り替え信号を一時的にHとし、また代表データ取込み信号を発生する。これにより、コントローラとメモリのレジスタの内容が一致する。その後、モード切り替え信号と代表データ取込み信号をLにして、動作モード1に戻る。即ち、動作モード1においてもレジスタをリセットするのではなく、コントローラのレジスタの内容をそのままメモリ142のレジスタに転送し、内容を一致させることができる。

【0123】

なお、第1及び第2の原理の両方に対応したコントローラのデータ入出力部は、図27に示す構成において取込みゲート141とレジスタ142をメモリの数分だけ用意し、スイッチ140と取込みゲート141との間、ORゲート170と取込みゲート141との間、ORゲート172とレジスタ142の間、及びレジスタ142の出力にそれぞれセクタを設けた回路構成となる。

【0124】

以上、本発明の実施の形態及び実施例を説明した。本発明は上記実施の形態や実施例に限定されるものではなく、本発明の範囲内で様々な他の実施の形態や実施例が可能である。

【0125】

以下、上述した本発明の一部を整理すると、次の通りである。

(付記1) 第1の情報を保持するレジスタ、及び外部から第1の信号を受信して第2の情報を生成する情報生成回路を備え、前記第1の信号は前記第1の情報の反転を示す信号であり、前記情報生成回路は前記第1の情報及び前記第1の信号に基づいて前記第2の情報を生成する半導体装置。

(付記2) 第1の情報を保持するレジスタ、及び第2の信号を受信し第1の信号を外部へ出力する情報生成回路を備え、前記第1の信号は前記レジスタに保持された前記第1の情報と前記情報生成回路が受信した前記第2の情報の論理演算に

基づく信号であって、第 1 の情報の反転を示す信号である半導体装置。

(付記 3) 前記情報生成回路は、前記レジスタに保持された前記第 1 の情報を前記第 2 の情報に書き換える付記 1 又は 2 記載の半導体装置。

(付記 4) 前記情報生成回路は、前記第 1 の情報を受信して前記レジスタに格納し、次に前記第 1 の信号を受信して前記第 2 の情報を生成する付記 1 記載の半導体装置。

(付記 5) 前記情報生成回路は、前記第 1 の情報を受信して前記レジスタに格納し、次に前記第 2 の情報を受信して前記第 1 の信号を生成する付記 1 又は 2 記載の半導体装置。

(付記 6) 前記レジスタは、リセット信号でリセットされる付記 1 又は 2 記載の半導体装置。

(付記 7) 前記半導体装置はメモリアレイを含む半導体装置であり、前記レジスタは外部から受信したリフレッシュ指示に基づきリセットされる付記 1 又は 2 記載の半導体装置。

(付記 8) 前記第 1 の信号はパルス信号である付記 1 又は 2 記載の半導体装置。

(付記 9) 前記情報生成回路は前記第 1 の信号をラッチするデータ入力部を有し、

前記半導体装置は外部からのチップ選択信号を受信する回路を有し、

前記データ入力部は前記チップ選択信号に基づき前記第 1 の信号をラッチする付記 1 記載の半導体装置。

(付記 1 0) 前記第 1 の信号はパルス信号であり、前記データ入力部は該パルス信号のエッジを検出して前記第 1 の信号をラッチする付記 9 記載の半導体装置。

(付記 1 1) 前記情報生成回路は前記第 1 の信号をラッチするデータ入力部を有し、

前記半導体装置は外部からクロックを受信して内部クロックを発生するクロック発生部を有し、

前記データ入力部は前記内部クロックに同期して前記第 1 の信号をラッチする付記 1 記載の半導体装置。

(付記 1 2) 前記情報生成回路は前記第 1 の信号をラッチするデータ入力部を有

し、

前記半導体装置は外部からクロックを受信して内部クロックを発生するクロック発生部を有し、

前記データ入力部は前記内部クロックを基準とする所定の期間において、パルス信号である前記第1の信号のエッジを検出してラッチする付記1記載の半導体装置。

(付記13) 前記半導体装置は半導体記憶装置を制御するコントローラであり、前記半導体記憶装置にリフレッシュ指示への発行に関連して、前記レジスタをリセットする付記1記載の半導体装置。

(付記14) 前記半導体装置は複数の半導体装置と選択的に接続可能なインタフェースを有し、前記レジスタは前記複数の半導体装置毎に設けられている付記1又は2記載の半導体装置。

(付記15) 前記情報生成回路は、前記第1の情報と前記第1の信号との排他的論理和演算を行い前記第2の情報を生成する付記1記載の半導体装置。

(付記16) 前記情報生成回路は、前記第1の情報と前記第2の情報との排他的論理和演算を行い前記第1の信号を生成する付記2記載の半導体装置。

(付記17) 付記1記載の半導体装置と付記2記載の半導体装置を有するシステムで、それぞれのレジスタは同一の第1の信号を保持するシステム。

(付記18) 第1の情報をレジスタに保持するステップと、

外部から受信した第1の信号と前記第1の情報とに基づいて第2の情報を生成して所定の信号線に送出するステップとを有し、

前記第1の信号は前記第1の情報の反転を示す信号である情報処理方法。

(付記19) 第1の情報をレジスタに保持するステップと、

受信した第2の情報と前記第1の情報の論理演算して第1の信号を生成して外部へ送信するステップとを有し、

前記第1の信号は第1の情報の反転を示す信号である情報処理方法。

(付記20) 前記情報処理方法は更に、前記レジスタに保持された前記第1の情報を前記第2の情報に書き換える付記18又は19記載の情報処理方法。

【0126】

【発明の効果】

以上説明したように、本発明によれば、反転ビットを半導体装置間でやりとりする構成としたため、情報量の無駄がなくなり、電力消費を軽減することができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の原理を説明する図である。

【図 2】

本発明の一実施の形態を示すブロック図である。

【図 3】

メモリに設けられるデータ入力部の第 1 の実施例を示すブロック図である。

【図 4】

図 3 の回路動作を示すタイミング図である。

【図 5】

メモリに設けられるアドレス入力部の実施例を示すブロック図である。

【図 6】

メモリに設けられるデータ入力部の第 2 の実施例を示すブロック図である。

【図 7】

図 6 の回路動作を示すタイミング図である。

【図 8】

図 6 に示す入力ラッチ部の一構成例を示す回路図である。

【図 9】

メモリに設けられるデータ入力部の第 3 の実施例を示すブロック図である。

【図 1 0】

図 9 の回路動作を示すタイミング図である。

【図 1 1】

メモリに設けられるデータ入力部の第 4 の実施例を示すブロック図である。

【図 1 2】

図 1 1 の回路動作を示すタイミング図である。

【図 13】

メモリに設けられるデータ入力部の第5の実施例を示すブロック図である。

【図 14】

図 13 の回路動作を示すタイミング図である。

【図 15】

メモリに設けられるデータ入力部の第5の実施例を示すブロック図である。

【図 16】

図 15 の回路動作を示すタイミング図である。

【図 17】

メモリに設けられるデータ出力の一実施例を示すブロック図である。

【図 18】

コントローラに設けられる／CS 出力部及びデータ出力部の第1の実施例を示すブロック図である。

【図 19】

コントローラに設けられるデータ入力部の一実施例を示すブロック図である。

【図 20】

メモリに設けられるデータ入出力回路の一実施例を示すブロック図である。

【図 21】

図 20 に示すレジスタと取込みゲートの一構成例の回路図である。

【図 22】

コントローラに設けられる／CS 出力部及びデータ出力部の第2の実施例を示すブロック図である。

【図 23】

図 22 に示すレジスタと取込みゲートの一構成例の回路図である。

【図 24】

本発明の第2の原理を示すブロック図である。

【図 25】

本発明の第2の原理に対応したメモリのデータ入出力部の一実施例を示すブロック図である。

【図 2 6】

本発明の第 2 の原理に対応したメモリのデータ入出力部の別の実施例を示すブロック図である。

【図 2 7】

本発明の第 1 の原理及び第 2 の原理の両方に対応したメモリのデータ入出力部の一実施例を示すブロック図である。

【符号の説明】

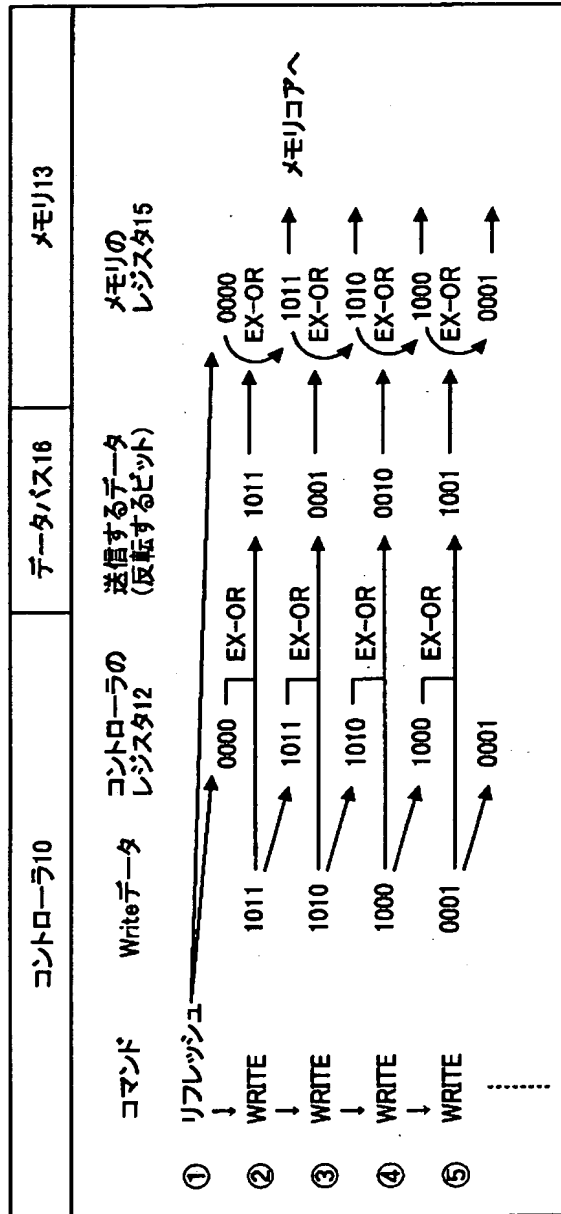
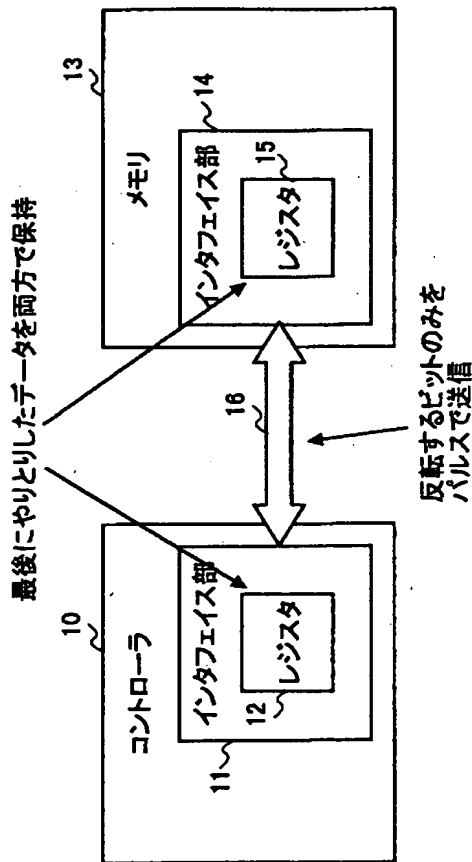
- 1 0 コントローラ
- 1 1 インタフェイス部
- 1 2 レジスタ
- 1 3 メモリ
- 1 4 インタフェイス部
- 1 5 レジスタ
- 1 6 データバス
- 1 7 a - 1 7 d レジスタ
- 1 8 インタフェイス部
- 1 9 a - 1 9 d インタフェイス部
- 2 0 a - 2 0 d メモリコア

【書類名】

図面

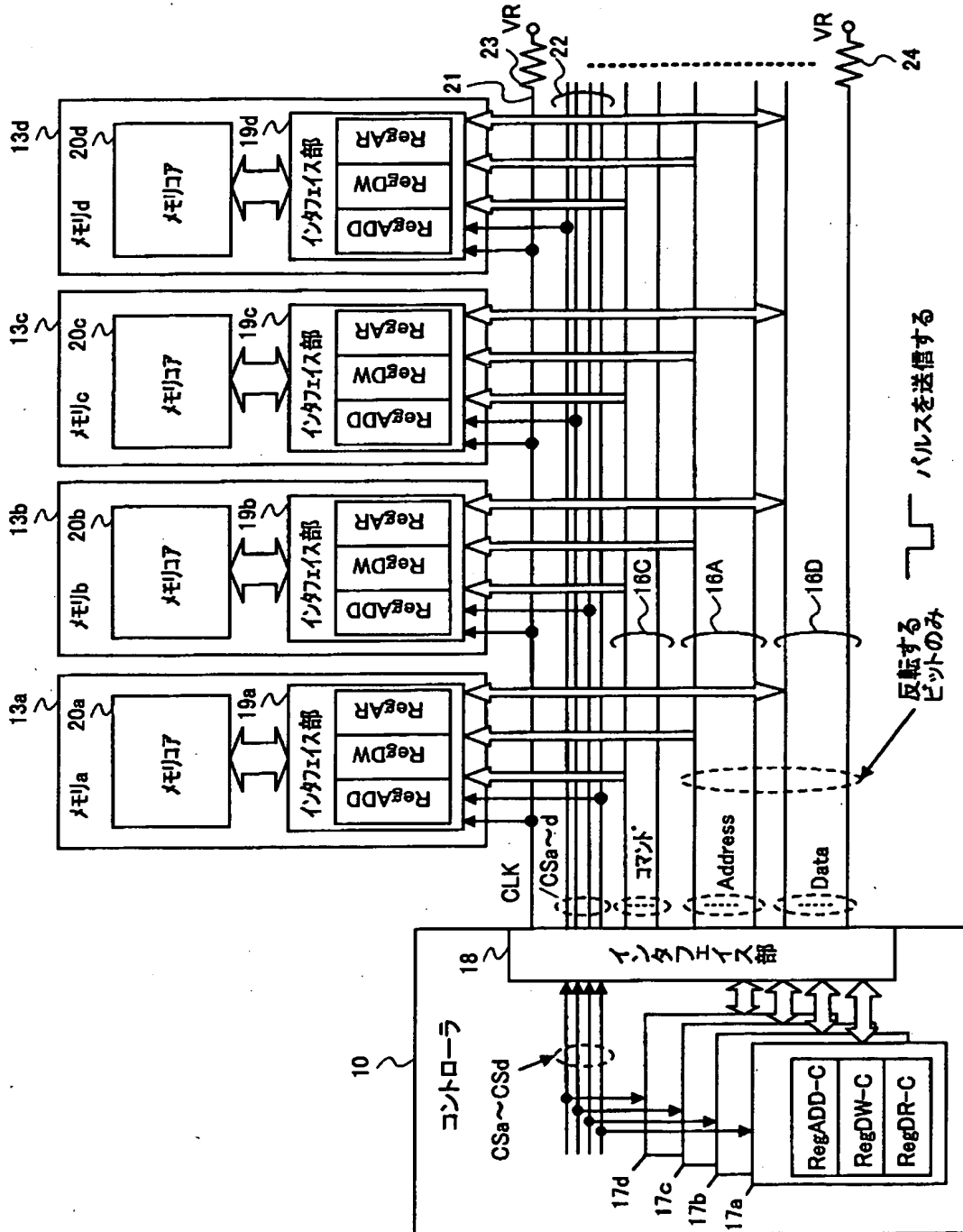
【図 1】

本発明の第1の原理を説明する図



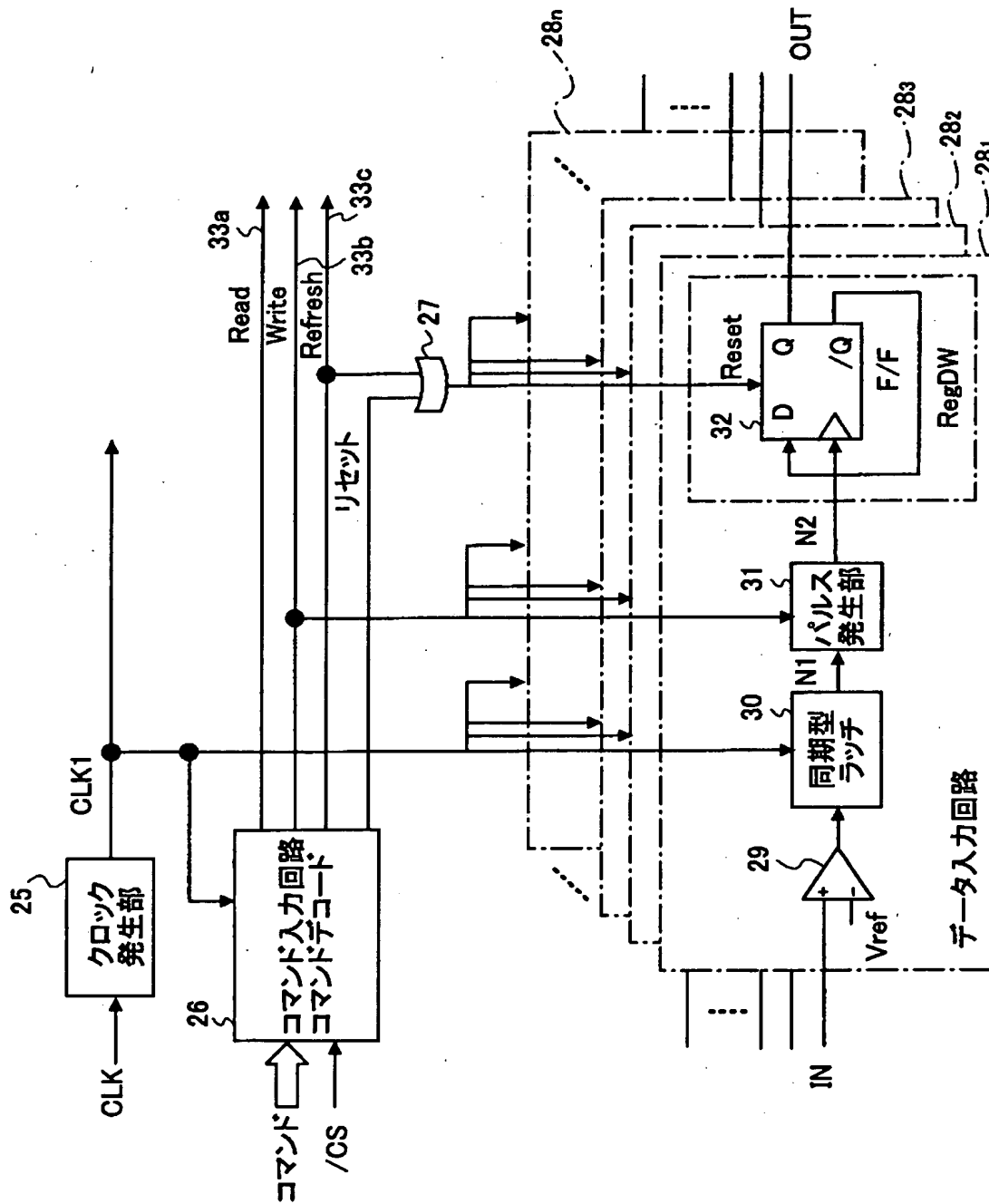
【図 2】

本発明の一実施の形態を示すブロック図



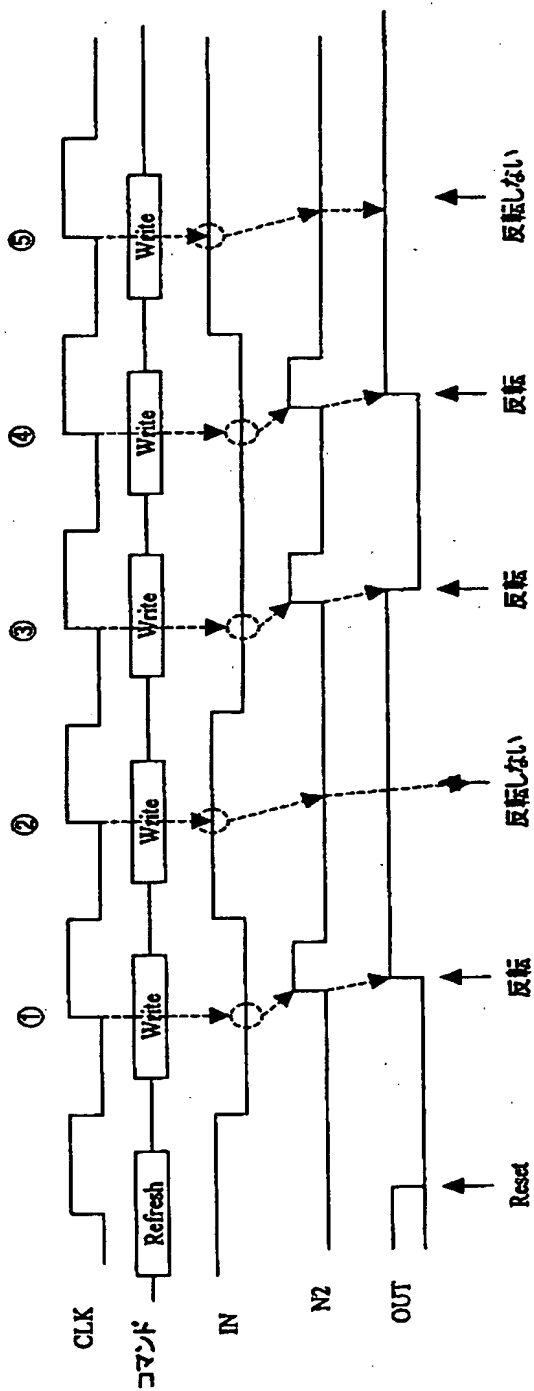
【図 3】

メモリに設けられるデータ入力部の第1の実施例を示すブロック図



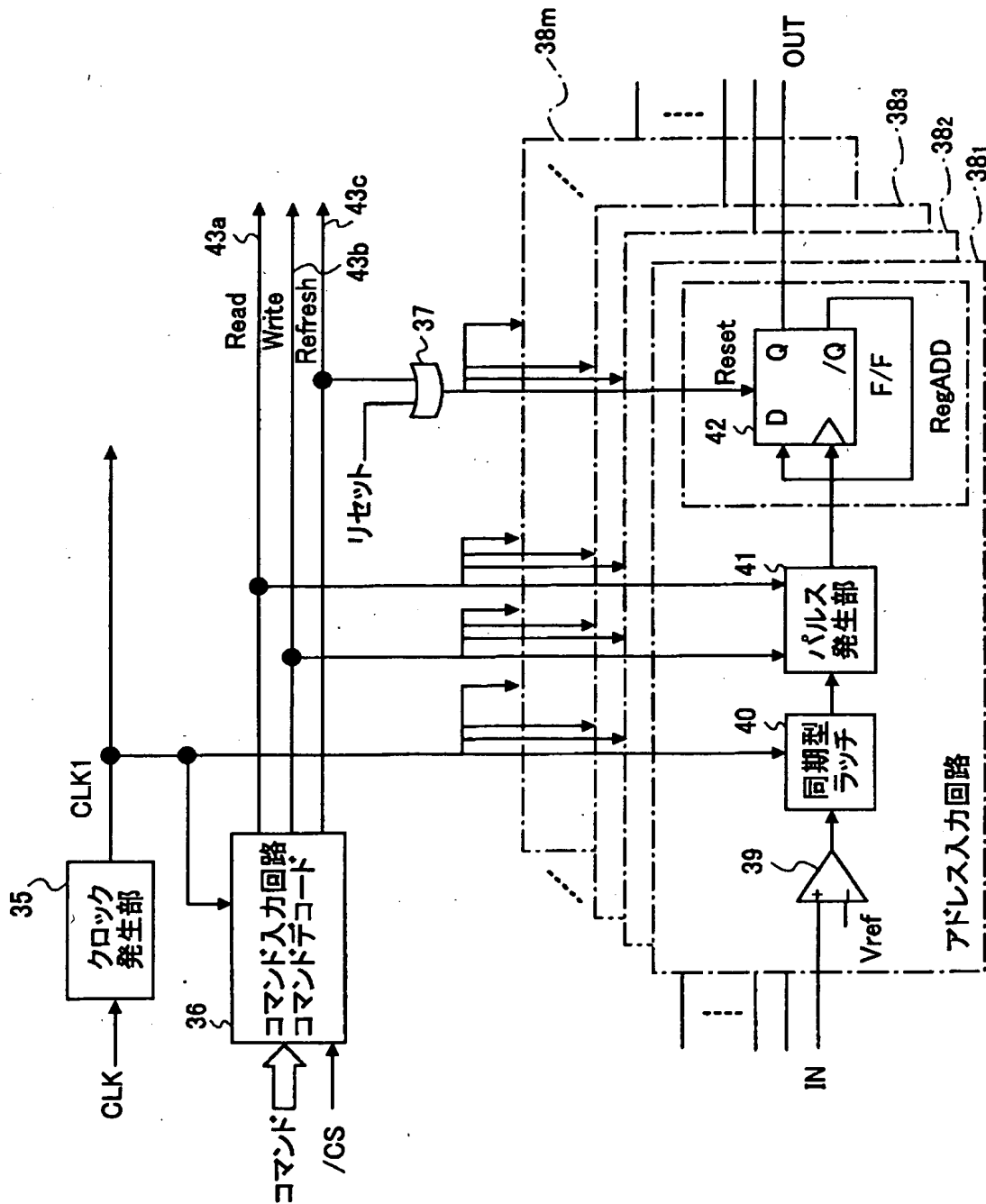
【図 4】

図3の回路動作を示すタイミング図



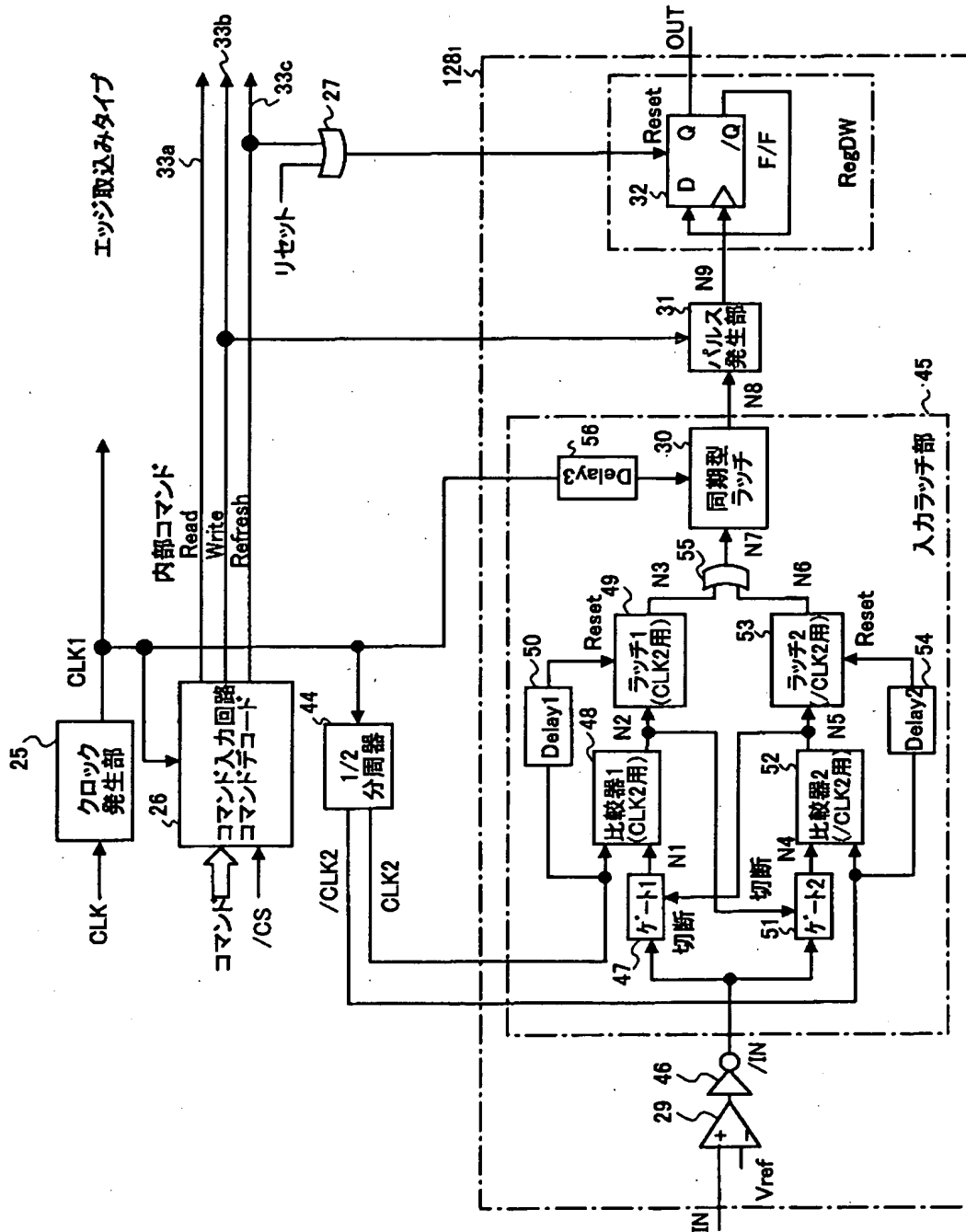
【図 5】

メモリに設けられるアドレス入力部の実施例を示すブロック図



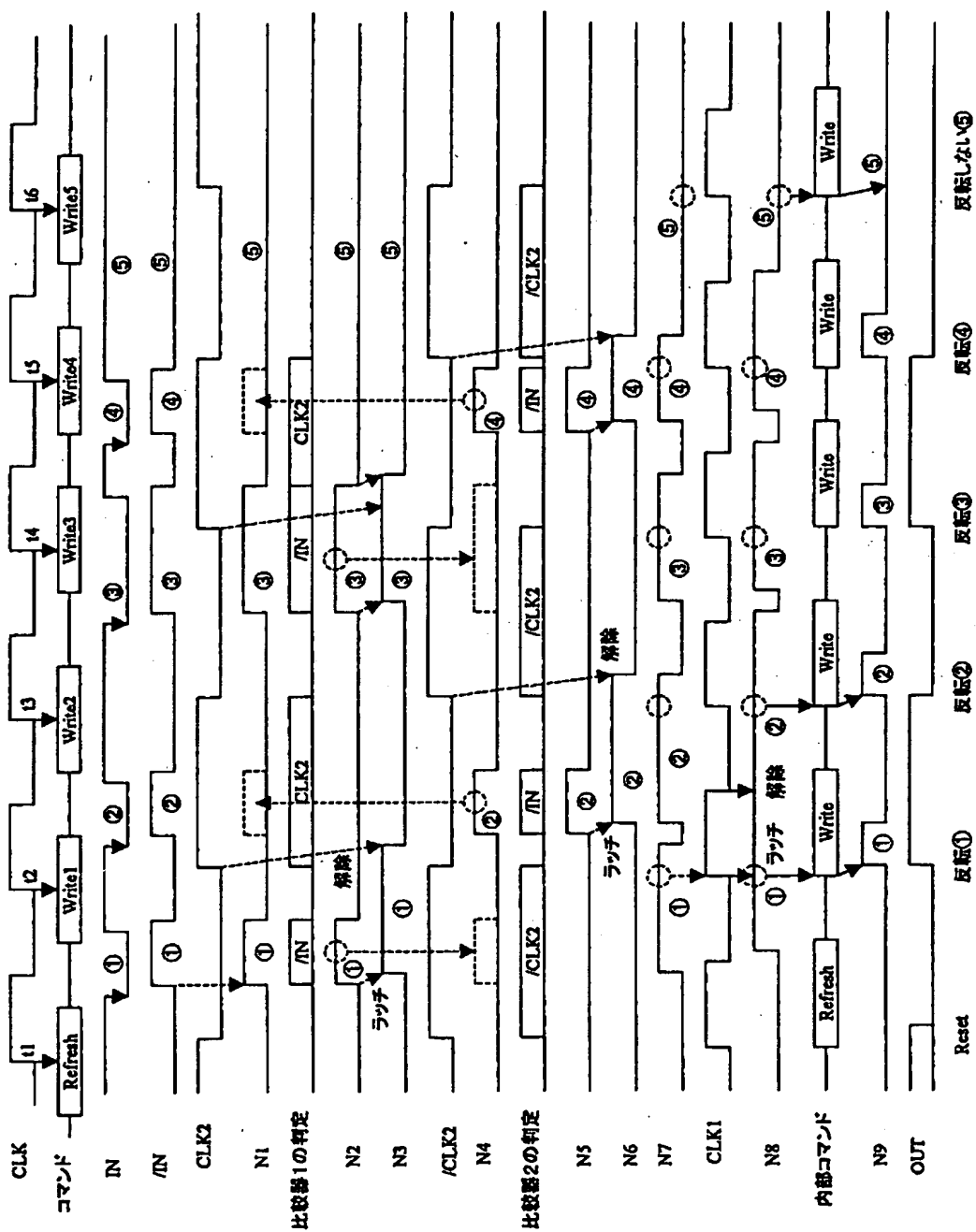
【図 6】

メモリに設けられるデータ入力部の第2の実施例を示すブロック図



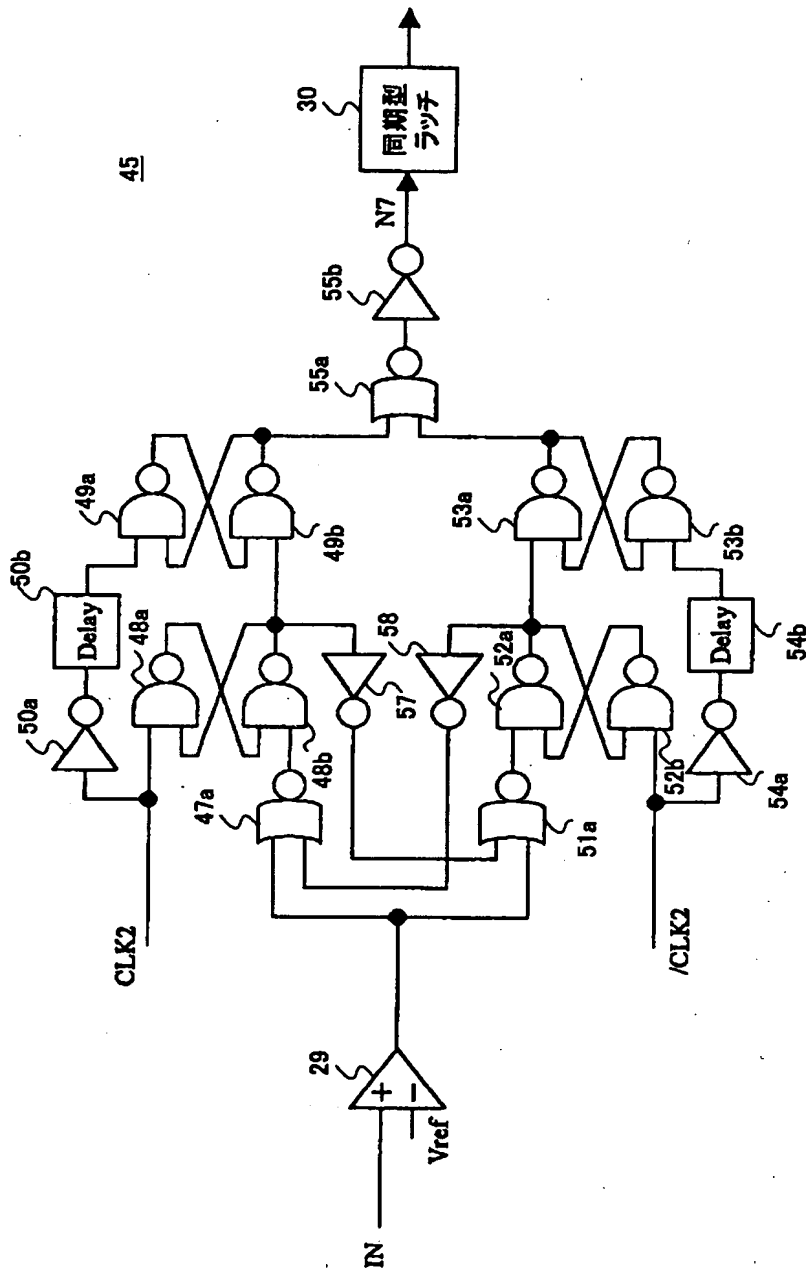
【図 7】

図6の回路動作を示すタイミング図



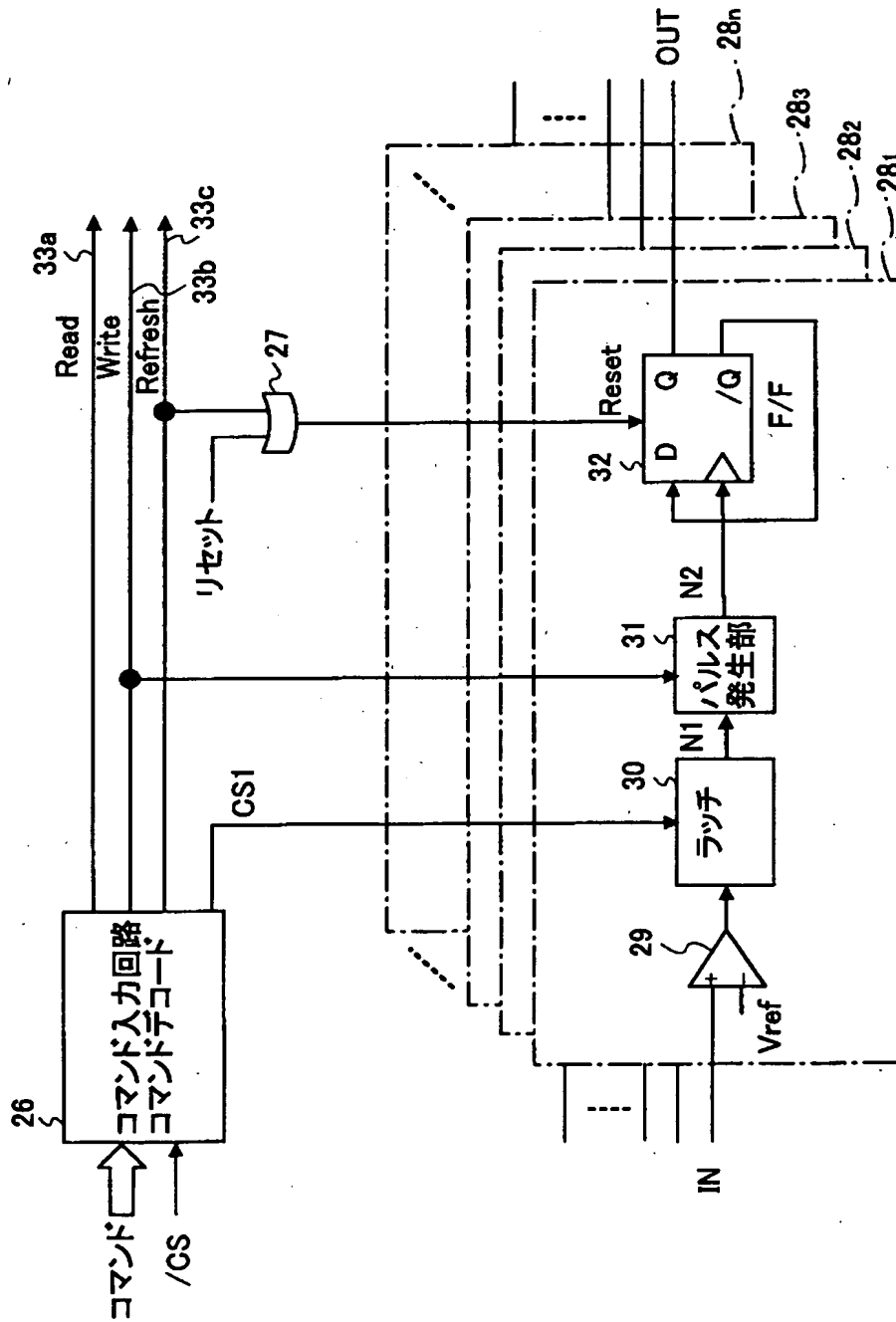
【図 8】

図6に示す入力ラッチ部の一構成例を示す回路図



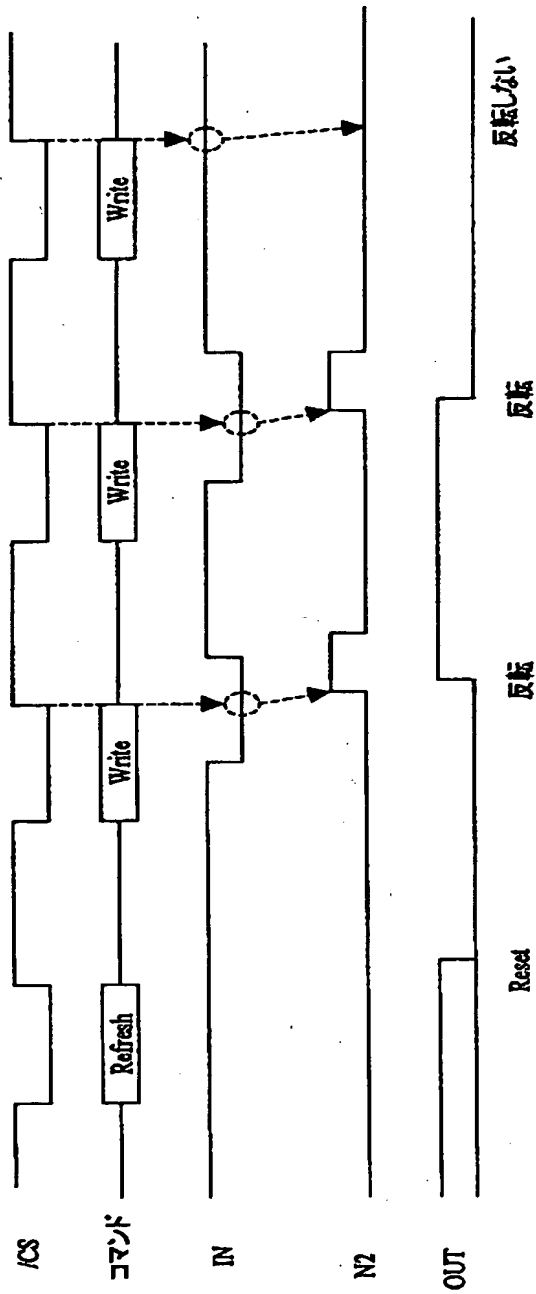
【図 9】

メモリに設けられるデータ入力部の第3の実施例を示すブロック図



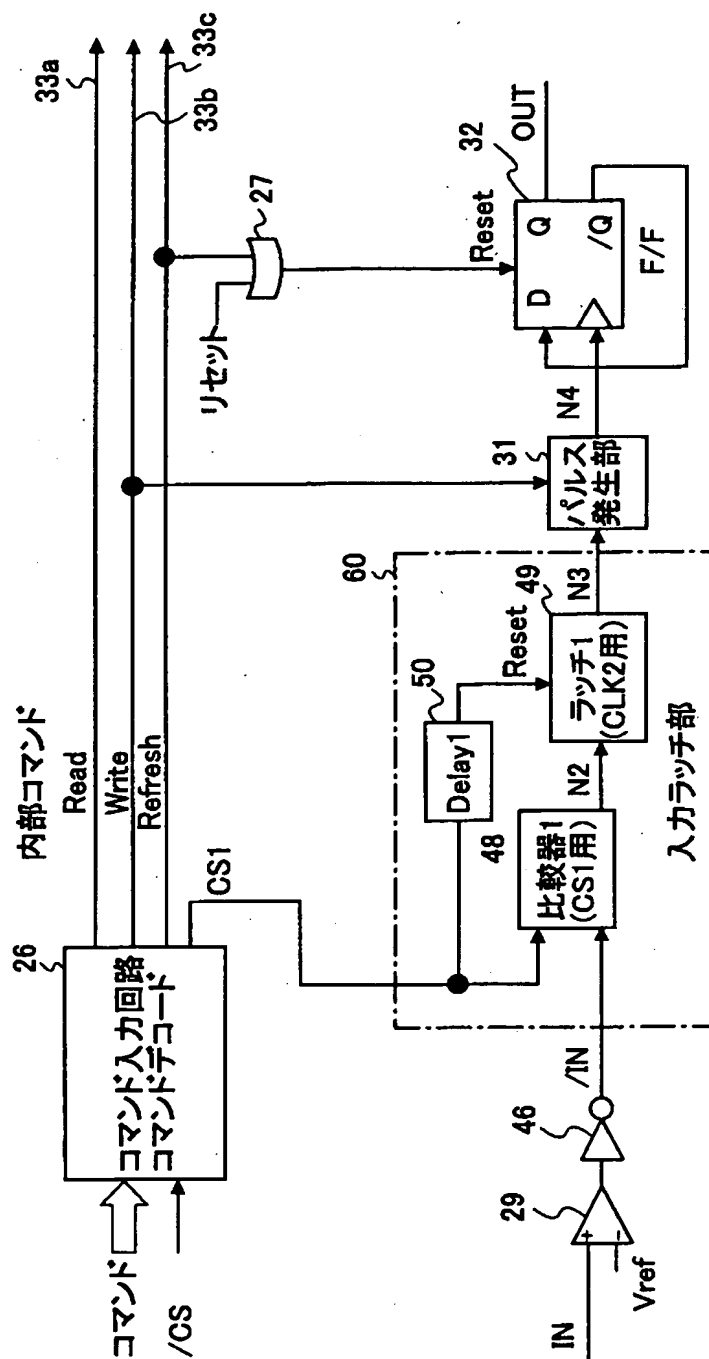
【図10】

図9の回路動作を示すタイミング図



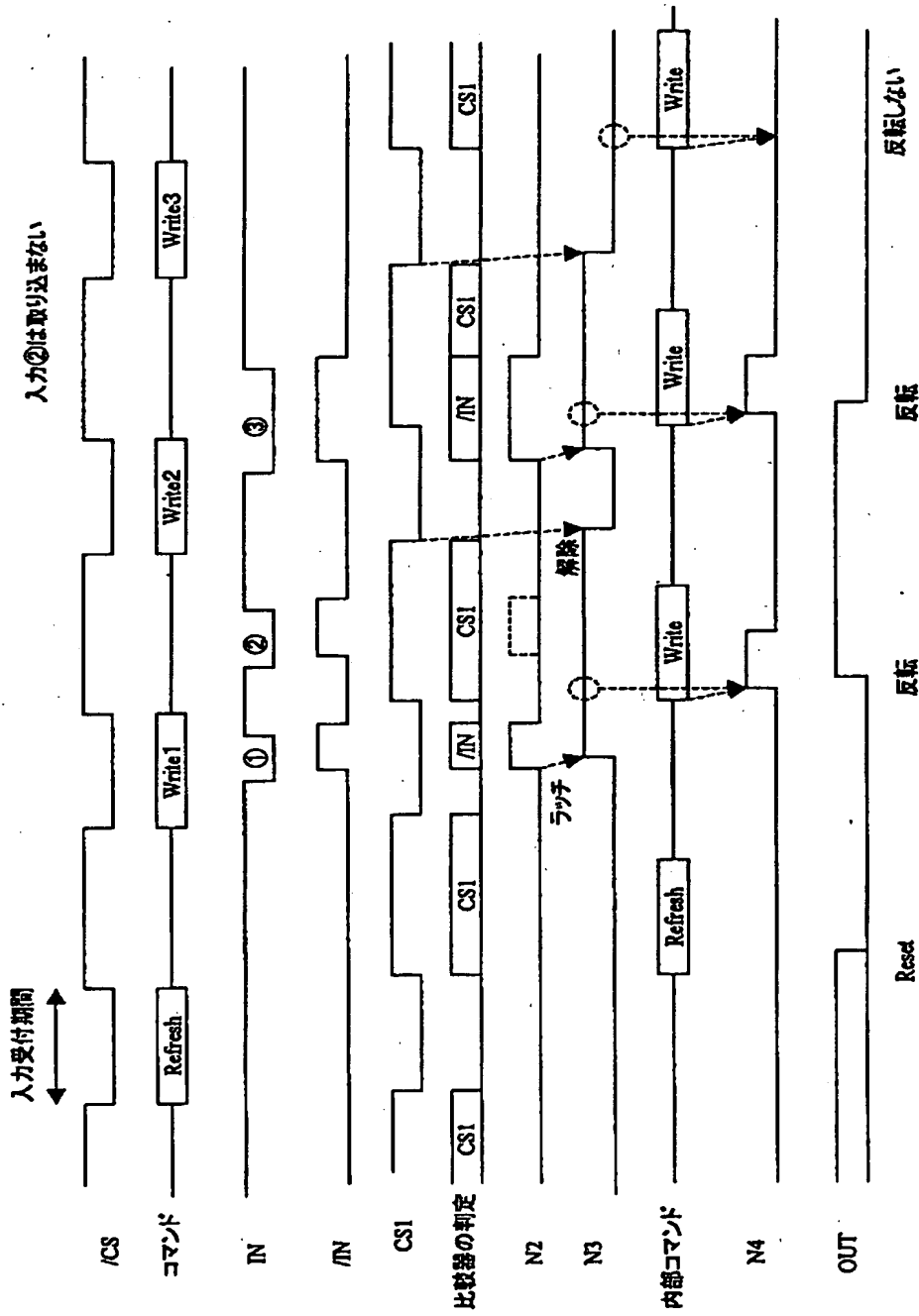
【图 1 1】

メモリに設けられるデータ入力部の第4の実施例を示すブロック図



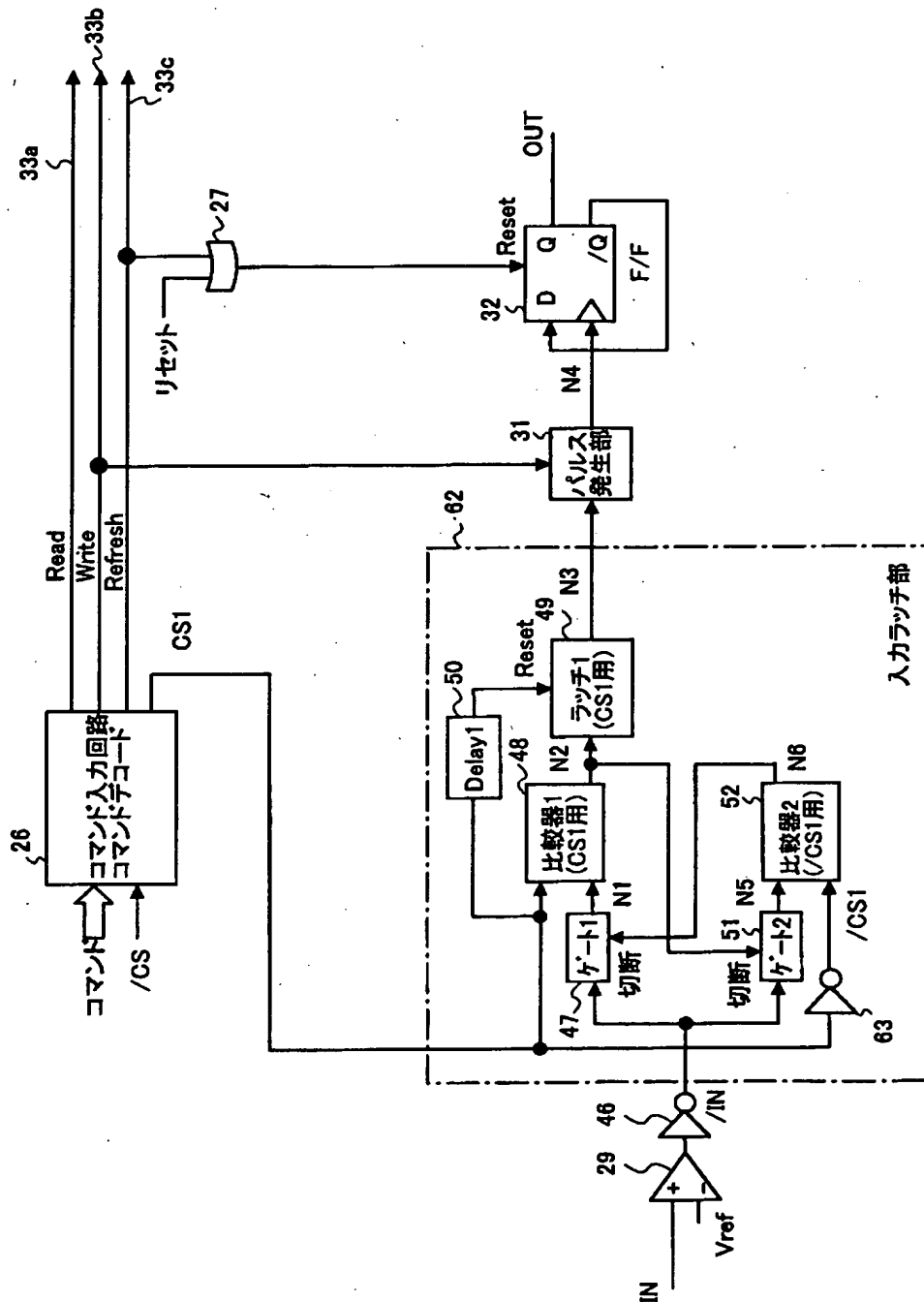
【図 12】

図11の回路動作を示すタイミング図



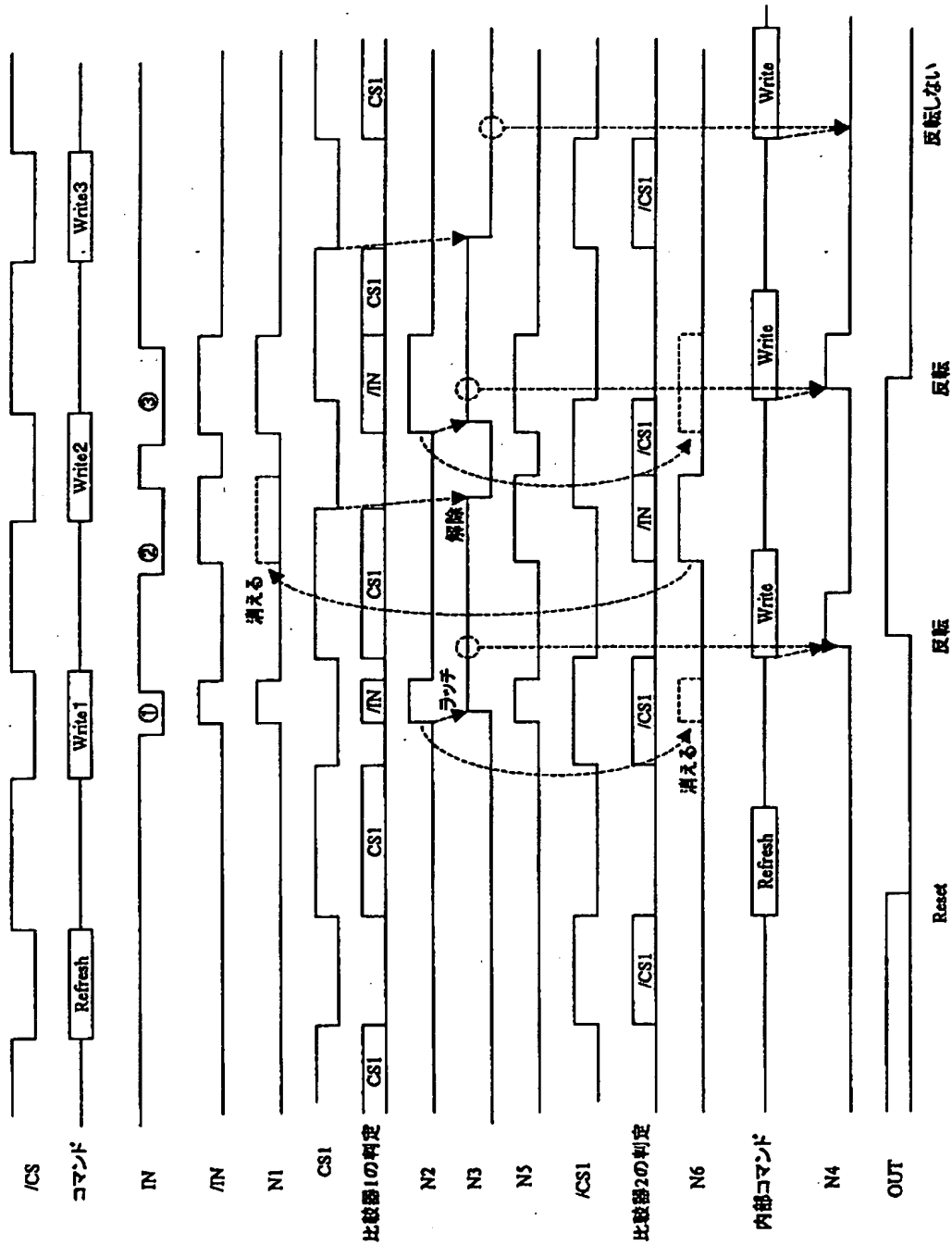
【图 1 3】

メモリに設けられるデータ入力部の第5の実施例を示すブロック図



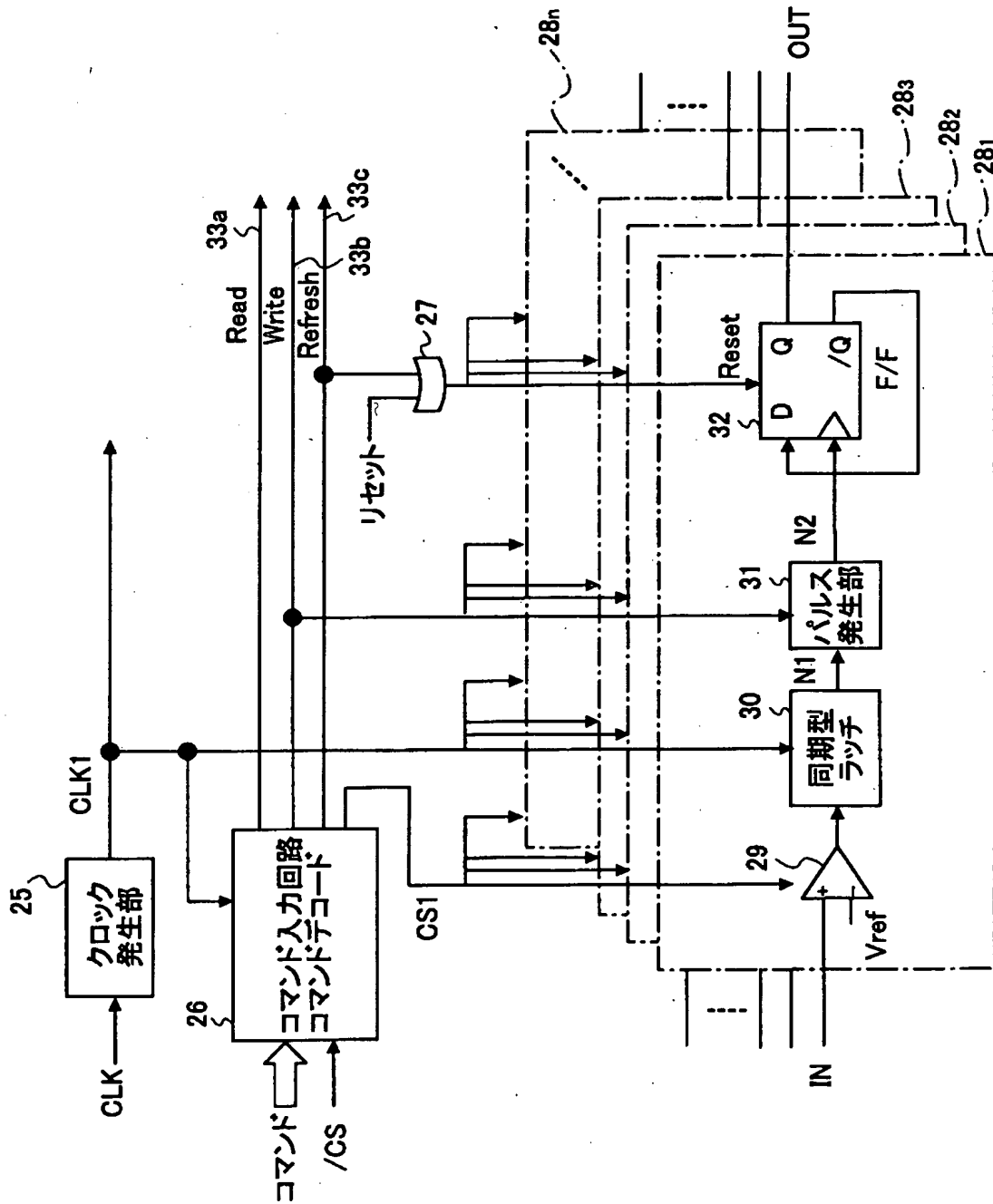
【図 14】

図13の回路動作を示すタイミング図



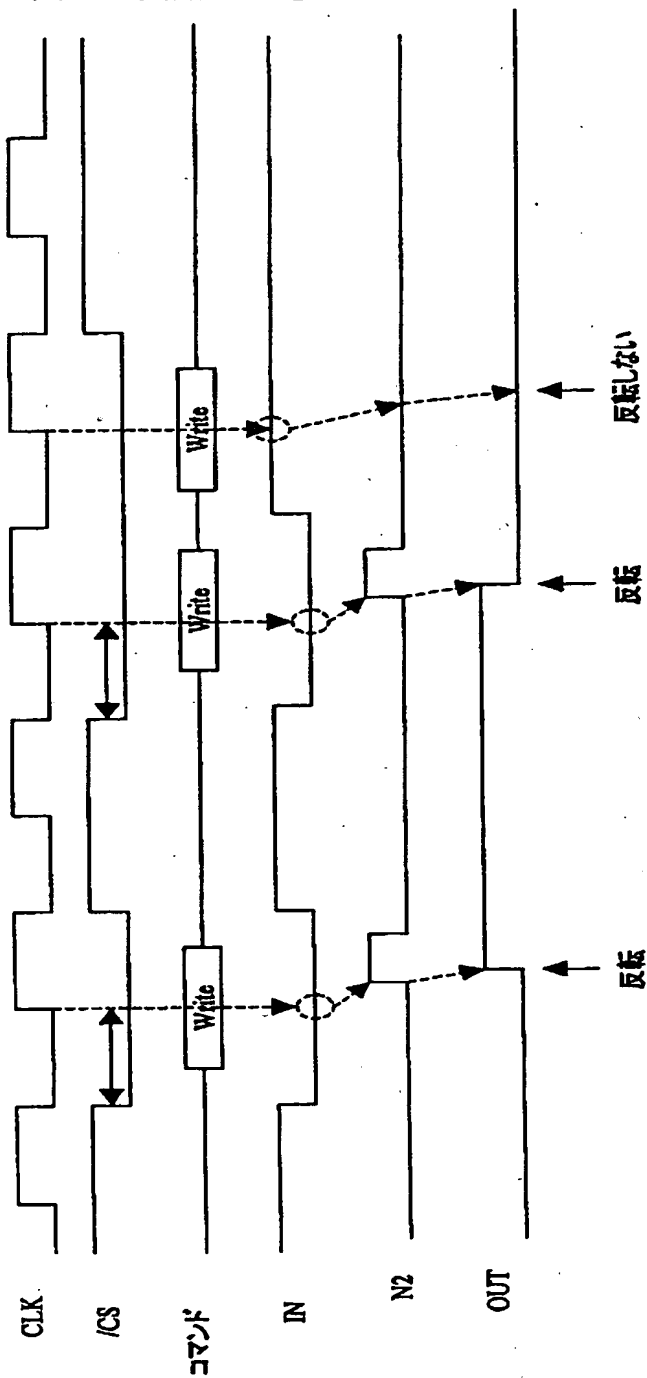
【図15】

メモリに設けられるデータ入力部の第6の実施例を示すブロック図



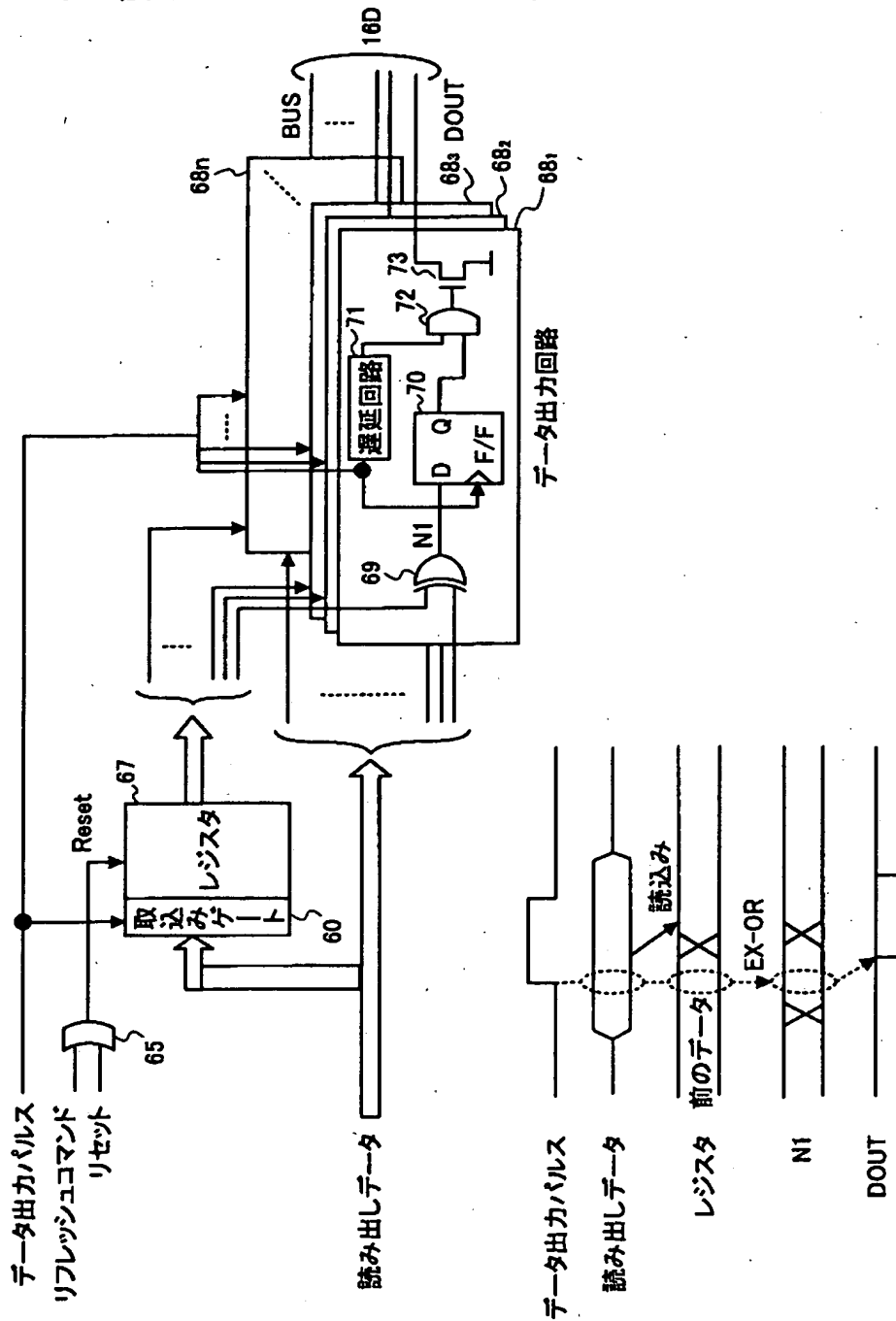
【図 16】

図15の回路動作を示すタイミング図



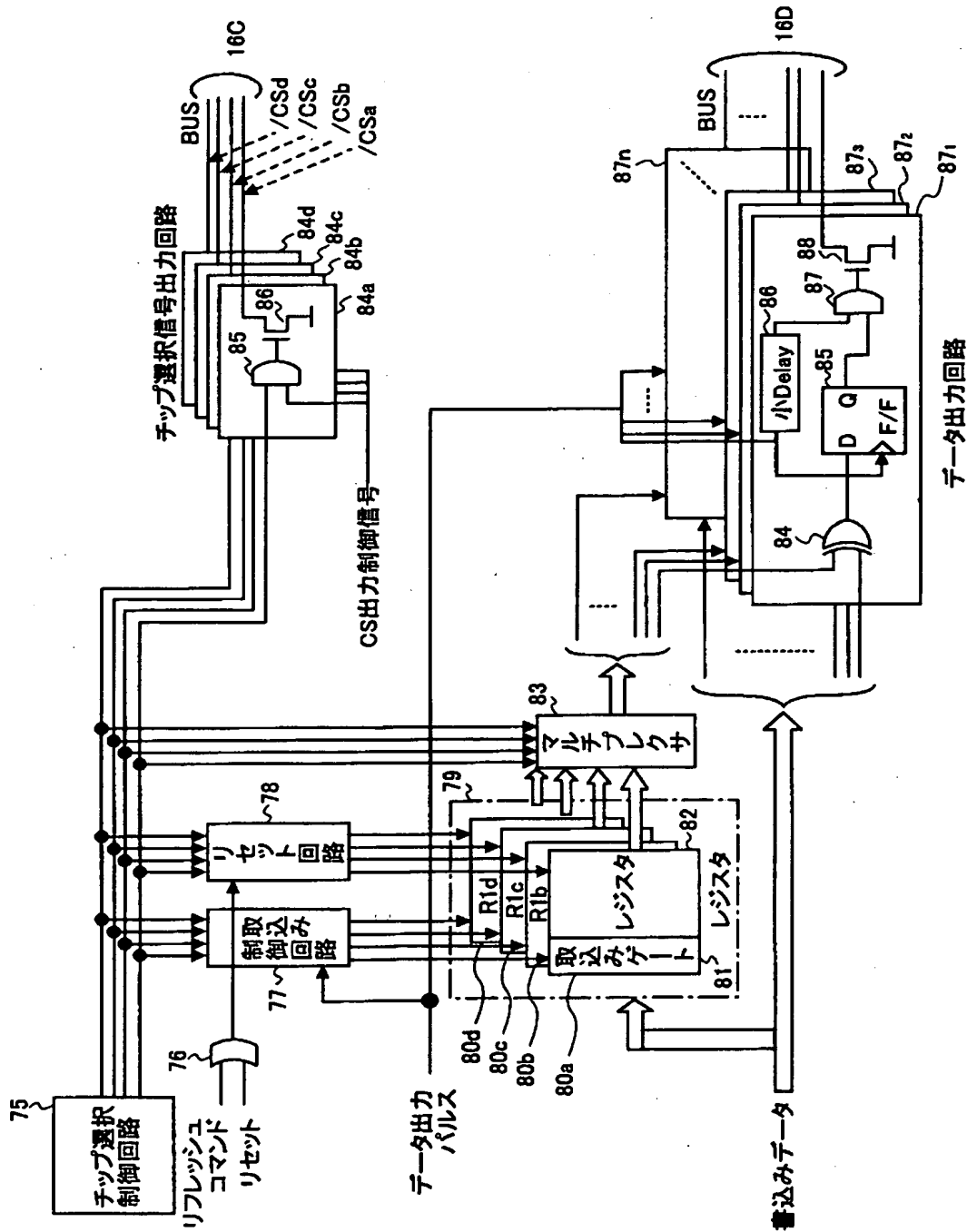
【图 1 7】

メモリに設けられるデータ出力の一実施例を示すブロック図



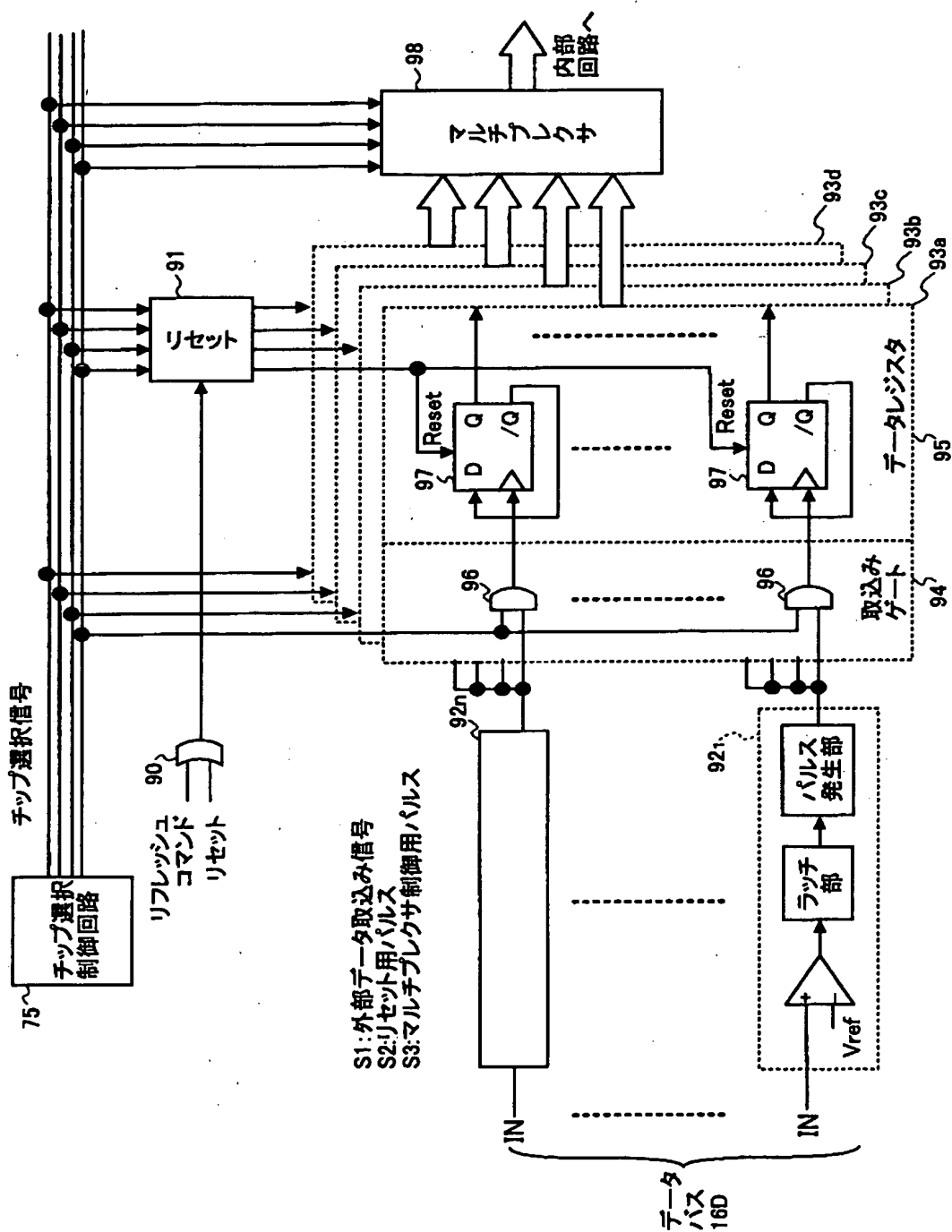
【图 18】

コントローラに設けられる/CS出力部及びデータ出力部の第1の実施例を示すブロック図



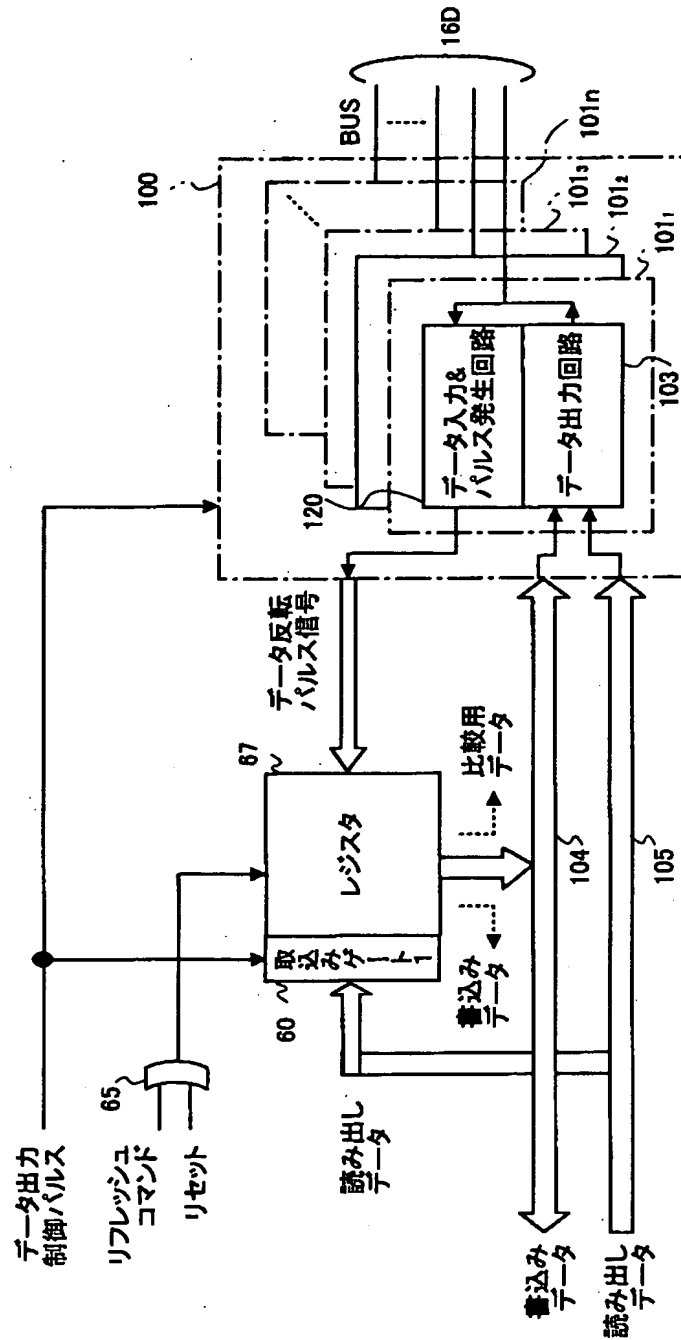
【図 19】

コントローラに設けられるデータ入力部の一実施例を示す図



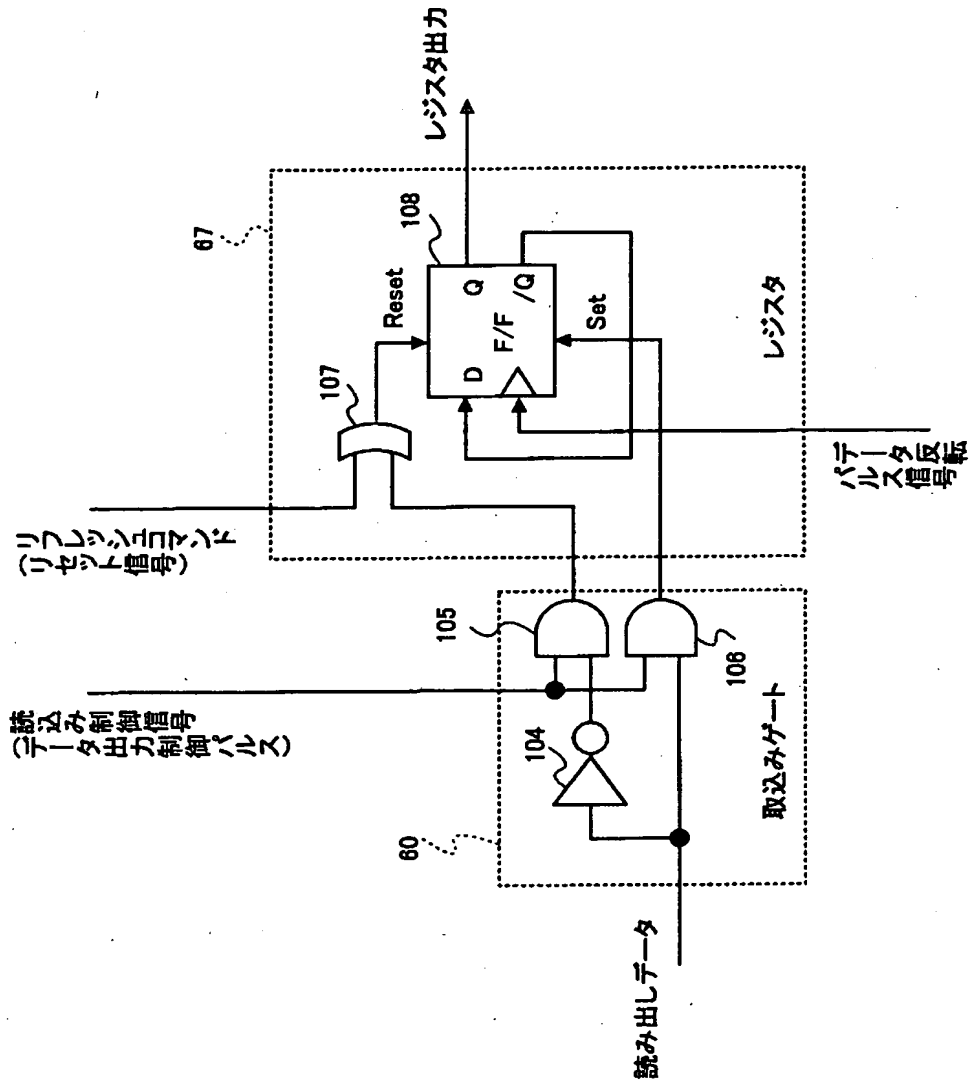
【図 20】

メモリに設けられるデータ入出力回路の一実施例を示すブロック図



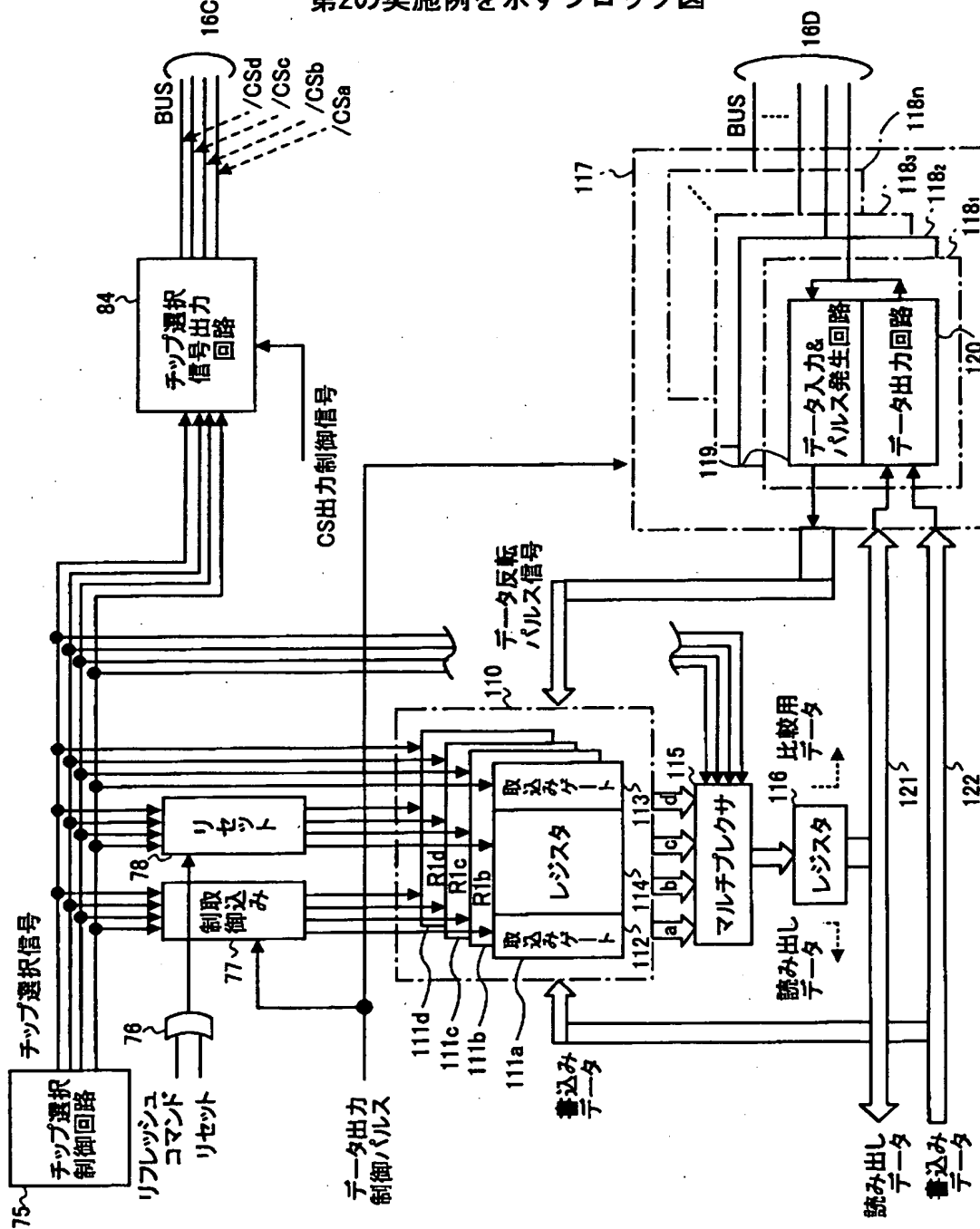
【図 21】

図20に示すレジスタと取込みゲートの一構成例の回路図



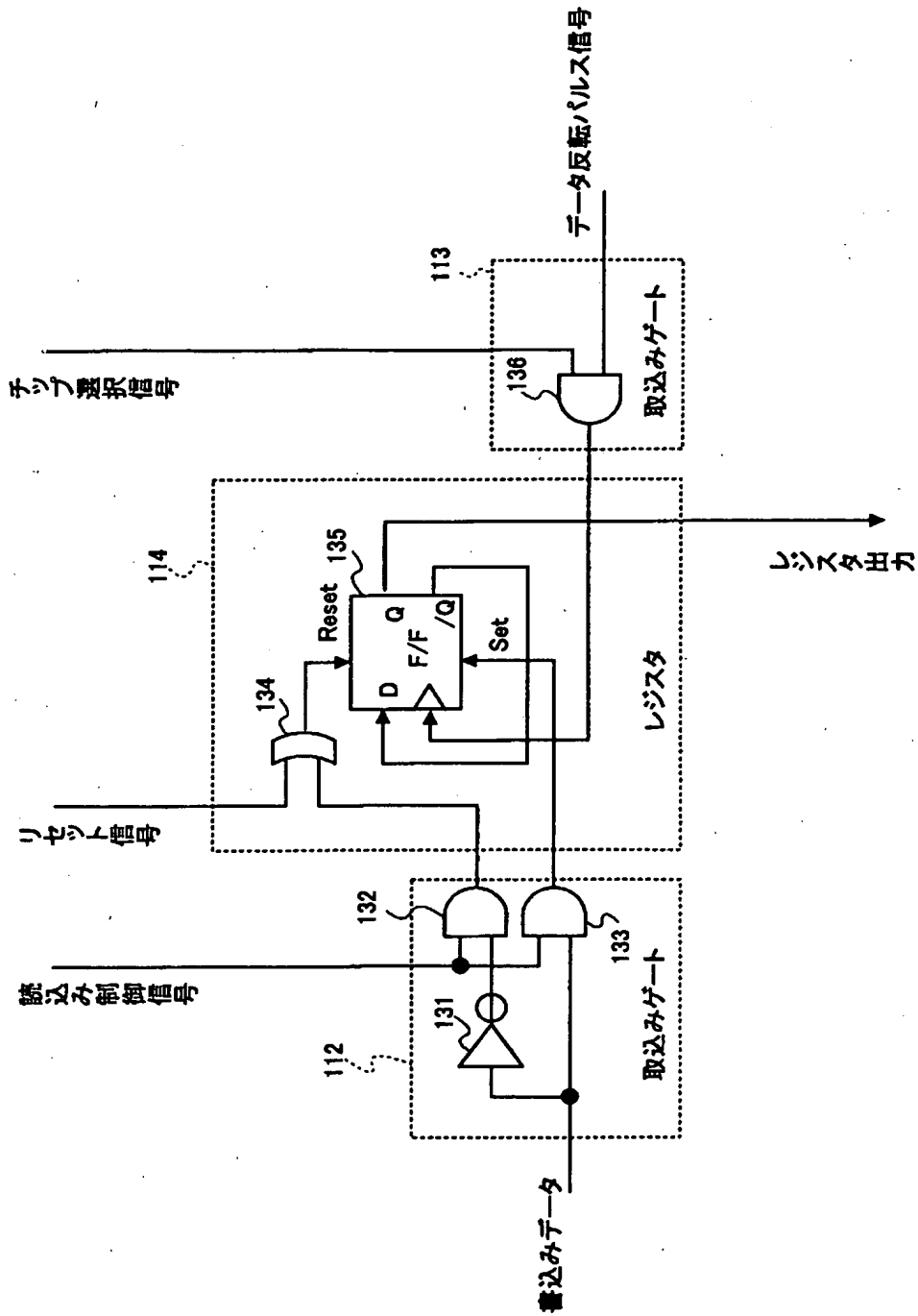
【図 2 2】

コントローラに設けられる/CS出力部及びデータ出力部の
第2の実施例を示すブロック図



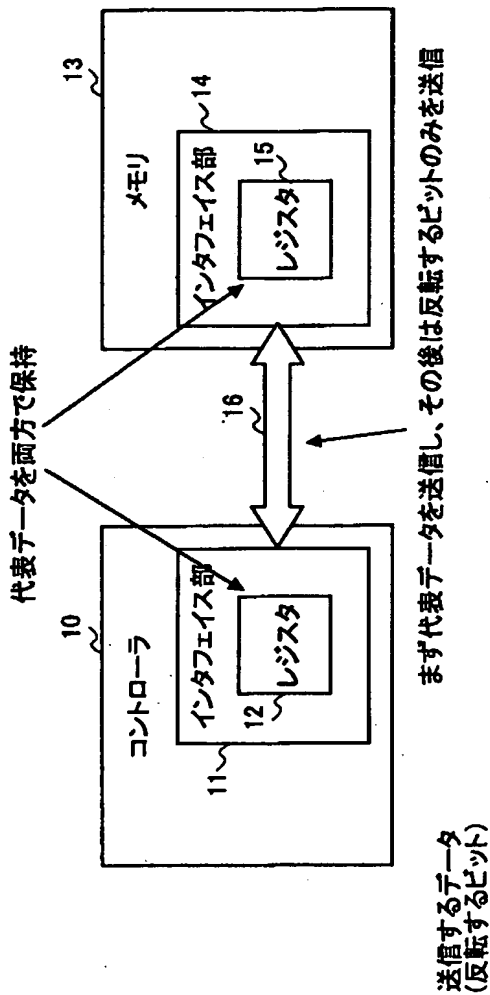
【図 23】

図22に示すレジスタと取込みゲートの一構成例の回路図



【図 24】

本発明の第2の原理を示すブロック図



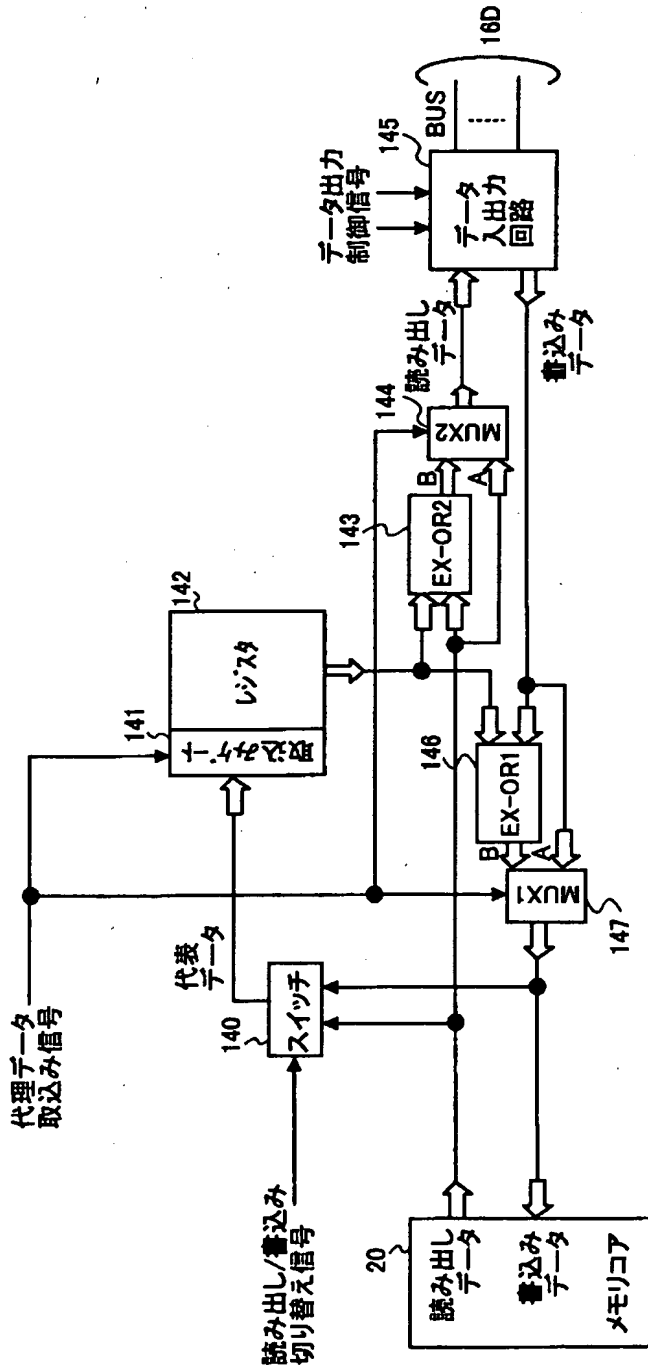
コントローラ10		データベース16	メモリ13	
コマンド	Writeデータ	コントローラのレジスタ12	送信するデータ (反転するビット)	メモリのレジスタ15
① WRITE(A)	1011	1011	1011(*1)	1011
② WRITE(B)	1010	1011	0001(*2)	1011
③ WRITE(B)	1000	1011	0011(*2)	1011
④ WRITE(B)	0001	1011	1001(*2)	1011
⋮				

メモリコアへ

*1:代表データ、コマンドWRITE(A)に対応して送信
*2:反転データ、コマンドWRITE(B)に対応して送信

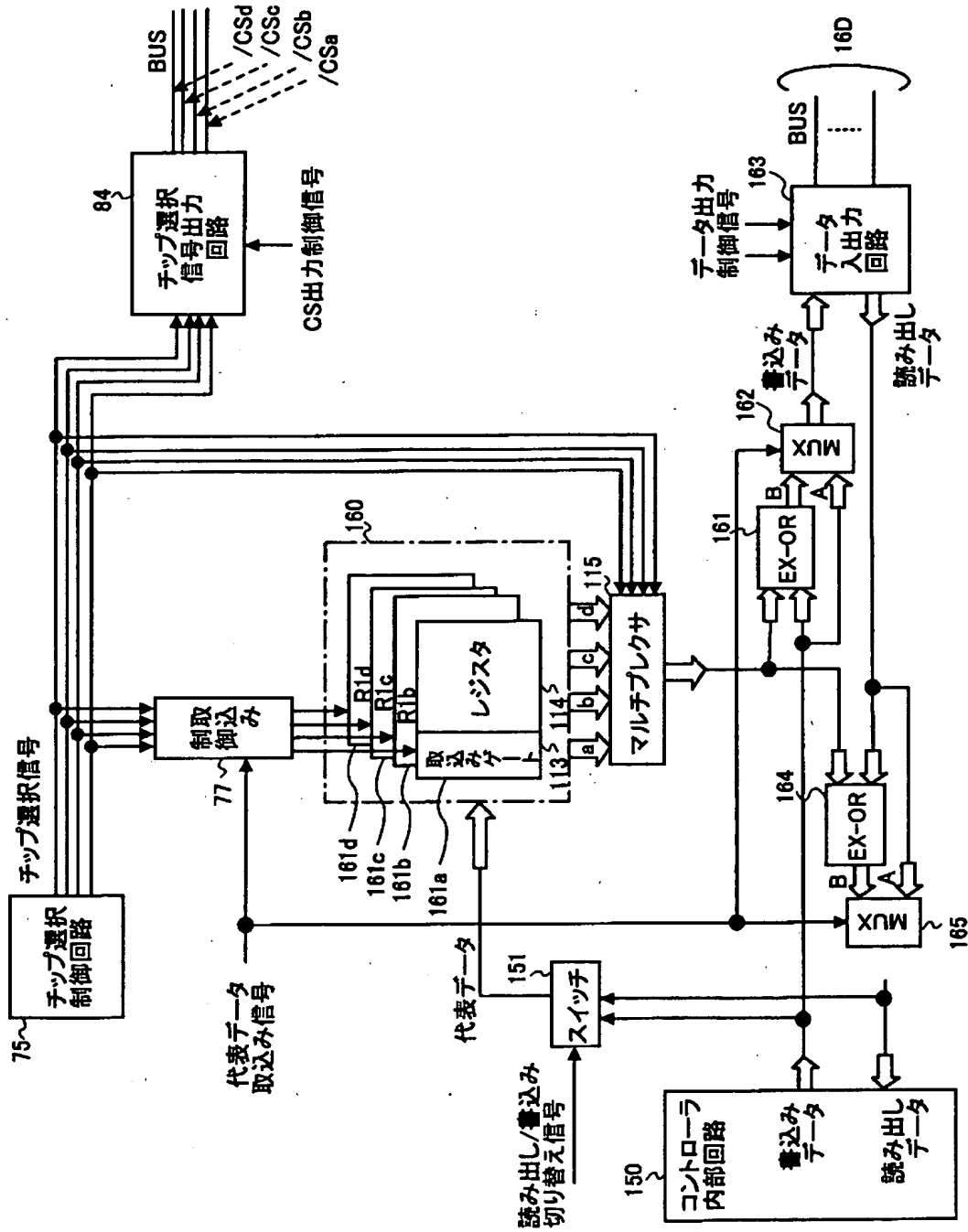
【図25】

本発明の第2の原理に対応したメモリの
データ入出力部の一実施例を示すブロック図



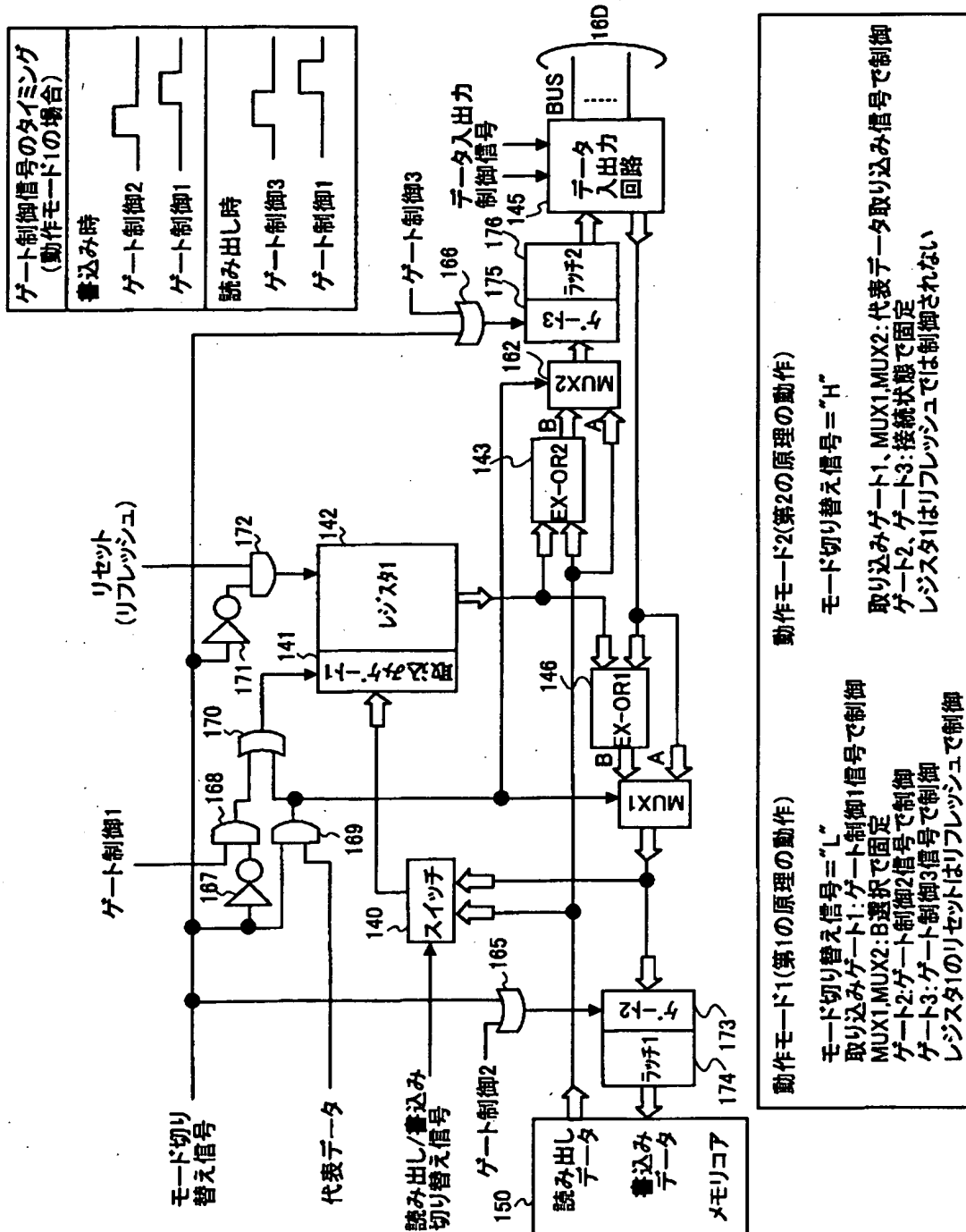
【図 26】

本発明の第2の原理に対応したメモリのデータ入出力部の別の実施例を示すブロック図



【図 27】

本発明の第1の原理及び第2の原理の両方に対応したメモリのデータ入出力部の一実施例を示すブロック図



【書類名】 要約書

【要約】

【課題】 情報量の無駄を無くし、電力消費を軽減した半導体装置を提供する。

【解決手段】 第1の情報保持するレジスタ（12、15）、及び外部から第1の信号を受信して第2の情報生成する情報生成回路（11、14）を備え、前記第1の信号は前記第1の情報の反転を示す信号であり、前記情報生成回路は前記第1の情報及び前記第1の信号に基づいて前記第2の情報生成する半導体装置。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.